

S1D13505F00A

Embedded RAMDAC LCD/CRT Controller

概要

S1D13505 は、各種の CPU および LCD に幅広く対応可能な低コスト・低電力型のカラー/モノクロ LCD および CRT 用コントローラで、OA 機器やモバイル通信機器あるいは Windows CE を主要 OS とするハンドヘルドパソコンなど、組み込み機器の市場要求に合ったアーキテクチャで設計されています。

S1D13505 は、マルチ CPU、LCD パネルのすべてのタイプ、CRT をサポートし、さらに多様な機能を提供します。ポートレートモード表示を必要とする製品は、SwivelView™ 機能を利用することができます。同時表示、仮想、分割画面表示はサポートされている表示モードの一例であり、ハードウェアカーソル、Ink レイヤ、メモリ強化レジスタは重要なパフォーマンスを一層向上させます。これらの機能は、S1D13505 のオペレーティングシステムの独自性と相まって、S1D13505 を広範囲のアプリケーションに対応した理想的な表示構築を実現させることができます。

特長

●メモリインタフェース

- 16 ビット DRAM インタフェース
 - 最大データ転送速度 40MHz までの EDO-DRAM に対応 (80M バイト / 秒)
 - 最大データ転送速度 25MHz までの FPM-DRAM に対応 (50M バイト / 秒)
- メモリサイズ
 - 256K × 16 ビットを 1 個使用した場合: 512K バイト
 - 1M × 16 ビットを 1 個使用した場合: 2M バイト
- コンフィグレーションレジスタは、DRAM のメモリ制御出力タイミングの調整等、パフォーマンスを向上させるプログラミングが可能

●CPU インタフェース

- 各種インタフェースに対応
 - 8/6 ビット SH-4 バスインタフェース
 - 8/6 ビット SH-3 バスインタフェース
 - 8/16/32 ビット MC68000 マイクロプロセッサ/マイクロコントローラへの 8/16 ビットインタフェース
 - 8/16/32 ビット MC68030 マイクロプロセッサ/マイクロコントローラへの 8/16 ビットインタフェース
 - フィリップス PR31500/PR31700(MIPS)
 - 東芝 TX3912(MIPS)
 - 16 ビット PowerPC(MPC821)マイクロプロセッサ
 - 16 ビット EPSON E0C33 マイクロプロセッサ
 - PC カード(PCMCIA)
 - StrongARM(PC カード)
 - NEC VR41xx(MIPS)
 - ISA バス

- 外部ロジックで以下のインタフェースをサポート

- GX486 マイクロプロセッサ

- CPU から最小ウェイトサイクルで書き込み可能な、ワンステージ書き込みバッファ
- メモリマップドレジスタ(M/R# 端子によりメモリまたはレジスタアドレス空間を選択)
- 21 ビットアドレスバスにより最大 2M バイトの表示バッファアドレス空間を直接かつリニアにアクセス可能

●ディスプレイ

- 4/8 ビットグレースケールパッシブ LCD インタフェース
- 4/8/16 ビットカラーパッシブ LCD インタフェース
- シングルパネル、シングルドライブ表示
- デュアルパネル、デュアルドライブ表示
- 9/12 ビット TFT/D-TFD; パネルに完全対応
- 18/24 ビット TFT/D-TFD; パネルは、最大 64000 色 (16 ビットデータ)まで対応
- ダイレクトアナログ CRT ドライブを用いたエンベデッド RAMDAC(DAC)
- CRT の同時表示およびパッシブまたは TFT/D-TFD パネル

S1D13505F00A

●表示モード

- LCD/CRT に対応する表示モード: 1, 2, 4, 8, 15 および 16 ビット / ピクセルモード
- FRM により、モノクロパッシブ LCD パネルで最大 16 階調のグレースケール表示が可能
- カラーパッシブ LCD パネルで最大 4096 色を表示可能 1/2/4/8/16 ビット / ピクセルモードの選択により 2/4/16/256/4096 色のカラー表示が可能
カラー表示では、色データのマッピングに RGB(赤 / 緑 / 青)それぞれに 16 × 4 ルックアップテーブルを使用可能。15/16 ビット / ピクセルモードでは、RGB(赤 / 緑 / 青)の各色データの上位 4 ビットを用いてルックアップテーブルを直接参照可能
- TFT/D-TFD パネルおよび CRT 上で最大 64K 色; 3 つの 256 × 4 ルックアップテーブルを使って 1/2/4/8bpp モードを 4096 色にマップします。15/16bpp モードは直接マップされます。

●表示特長

- SwivelView™ :
ポートレートモード表示対応の表示イメージのハードウェア的 direct 90 度回転
- 分割画面表示 :
1 つの表示上に同時に 2 つの異なるイメージを表示できる
- 仮想表示サポート :
パンを用いて表示サイズより大きいイメージを表示する
- ダブルバッファ / マルチページ :
スムーズな動きの動画と瞬間的な画面更新が可能
- 全表示メモリバンド幅を CPU に割り当てることによる画面更新速度の向上(REG[23h]ビット 7 を参照)
- ハードウェア 64*64 ピクセル 2 ビットカーソルまたはフルスクリーン 2 ビット Ink レイヤ
- CRT およびパッシブパネルもしくは TFT/D-TFD パネルの同時表示
- LCD と CRT の画面サイズが同一である場合については通常モード
- 240 行 LCD および 480 行 CRT の場合の 240 行イメージの同時表示についてはラインダブリング
- 240 行 LCD および 480 行 CRT の場合の 480 行イメージの同時表示については偶数スキャンもしくはインタレースモード

●クロックソース

- 単一クロックの入力でピクセルおよびメモリの両クロックを生成
- メモリクロック - 入力クロック比を、1:1 または 1:2 に設定可能(CPU バスクロックを入力可能)
- ピクセルクロック - メモリクロック比を、1:1、1:2、1:3 または 1:4 に設定可能

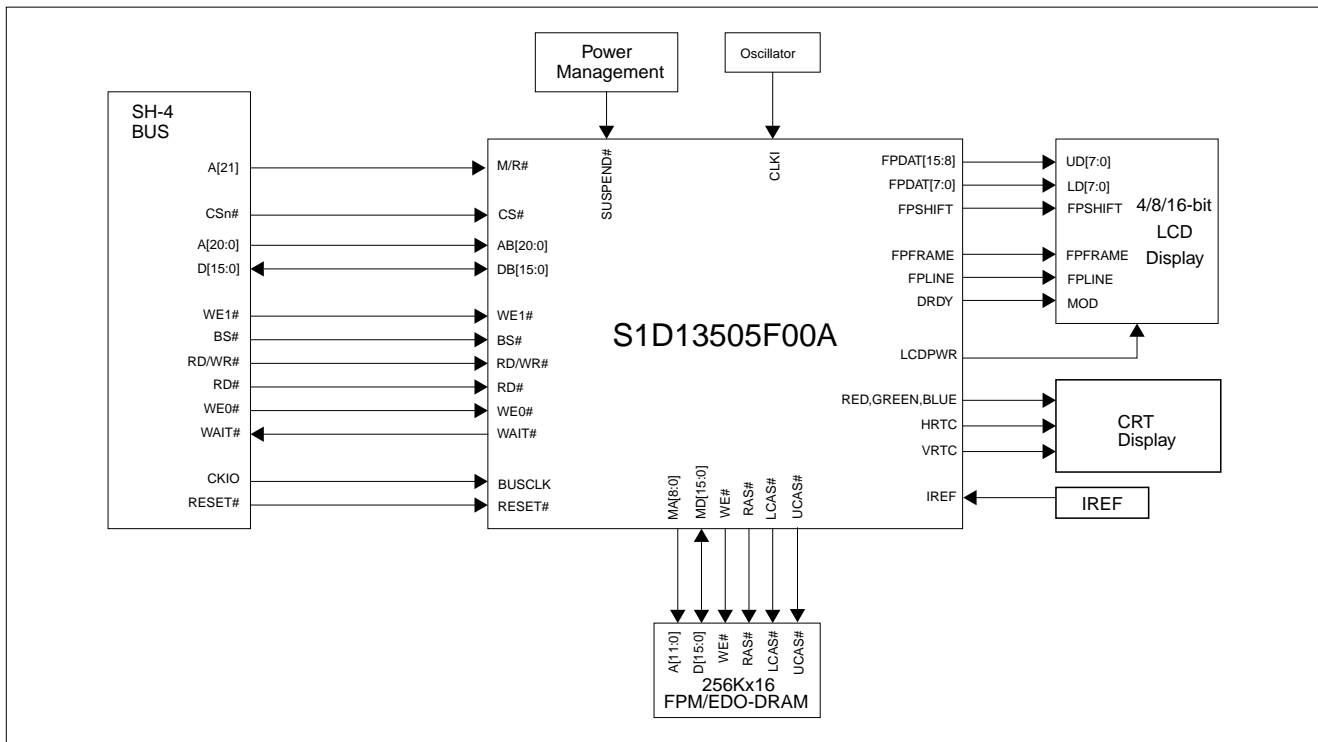
●その他

- メモリデータバス MD[15:0]は、電源投入時の状態によりチップ内部の構成を設定。
- 上位メモリアドレスピンに非対称 DRAM サポートが必要でない場合、3 つの汎用 I/O ピンと、GPIO[3:1] が利用可能です。
- ハードウェアまたはソフトウェアによりサスペンドモードを起動可能
- SUSPEND# 端子を、サスペンドモードの起動用入力、または LCD バックライト制御に使用可能な汎用出力として使用可能(起動時の極性は MD 端子によって選択可能)
- 動作電圧として 2.7V から 5.5V までをサポートしています。
- 128 ピン QFP15 面実装パッケージ

基本システムブロック図

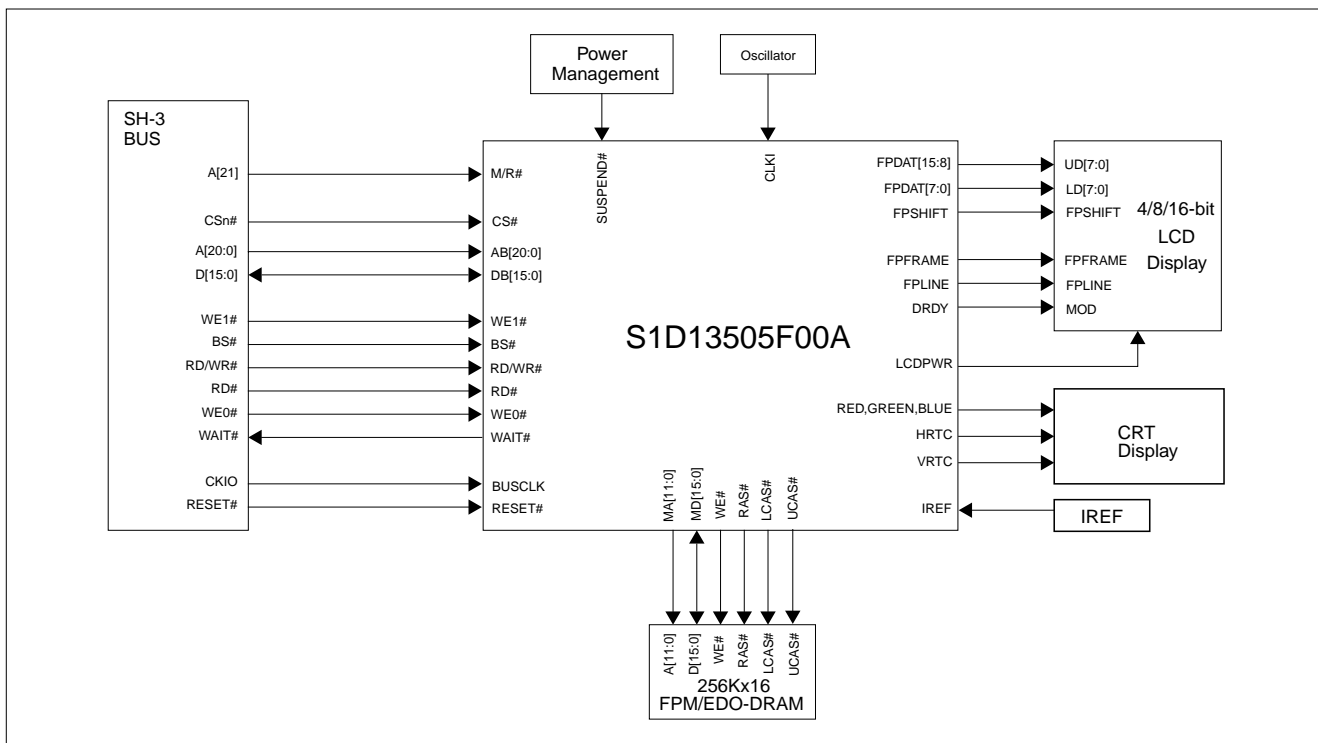
以下のブロック図は、S1D13505の代表的なシステム構成例を示しています。各図とも基本構成の概略のみを記載しており、実例を示したものではありません。詳細については、各インタフェースに対応するアプリケーションノートを参照してください。

SH-4バスインタフェース



基本システム構成例 (SH-4バス, 256K x 16 FPM/EDO-DRAM)

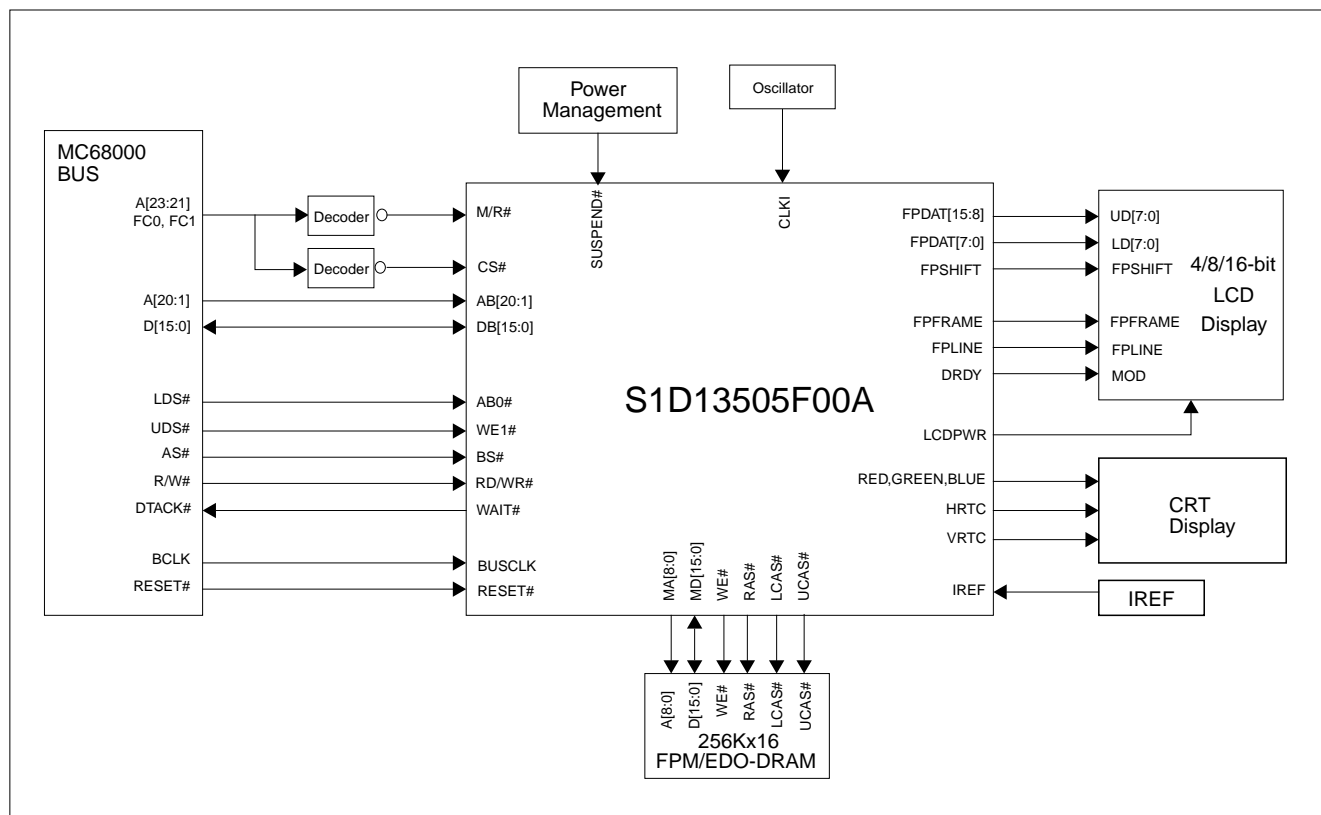
SH-3バスインタフェース



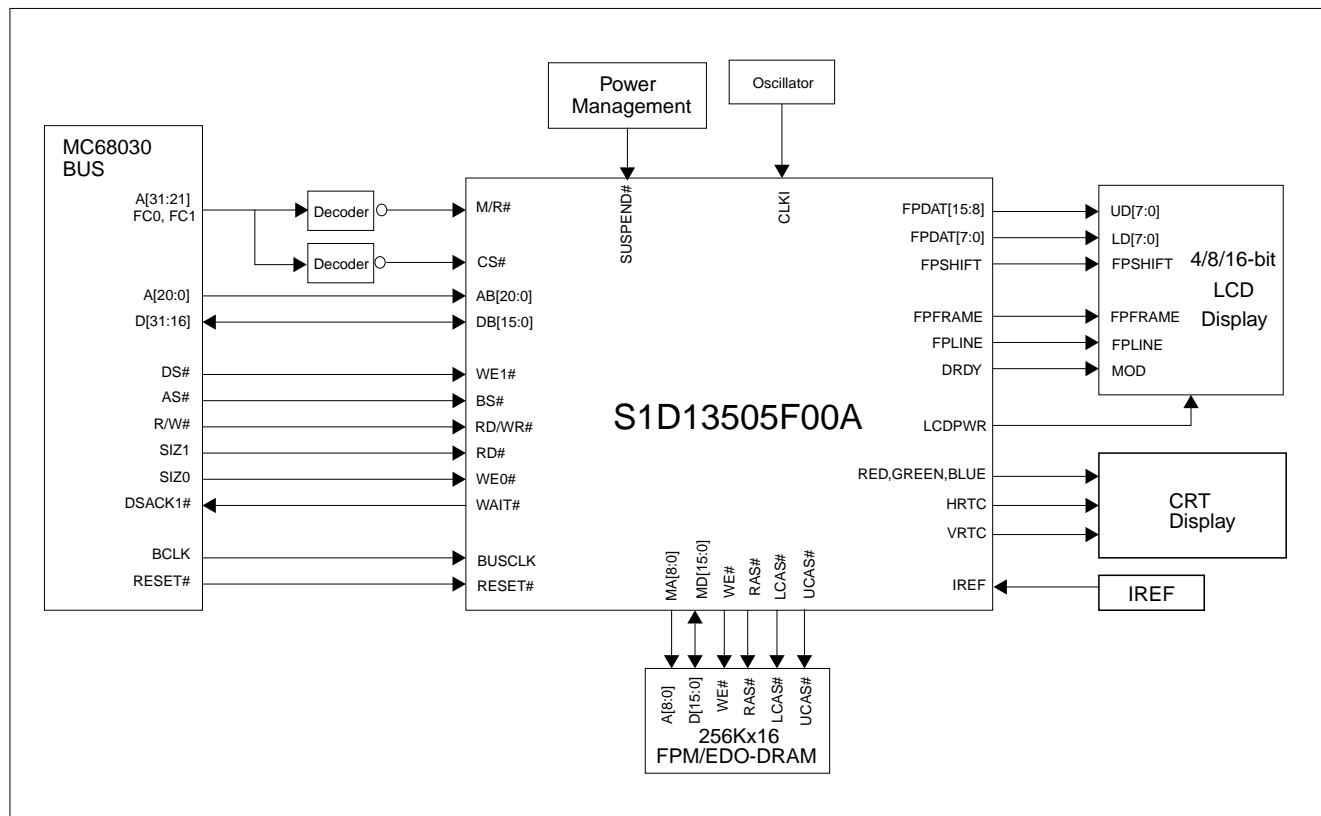
基本システム構成例 (SH-3バス, 256K x 16 FPM/EDO-DRAM)

S1D13505F00A

MC68Kバスインタフェース

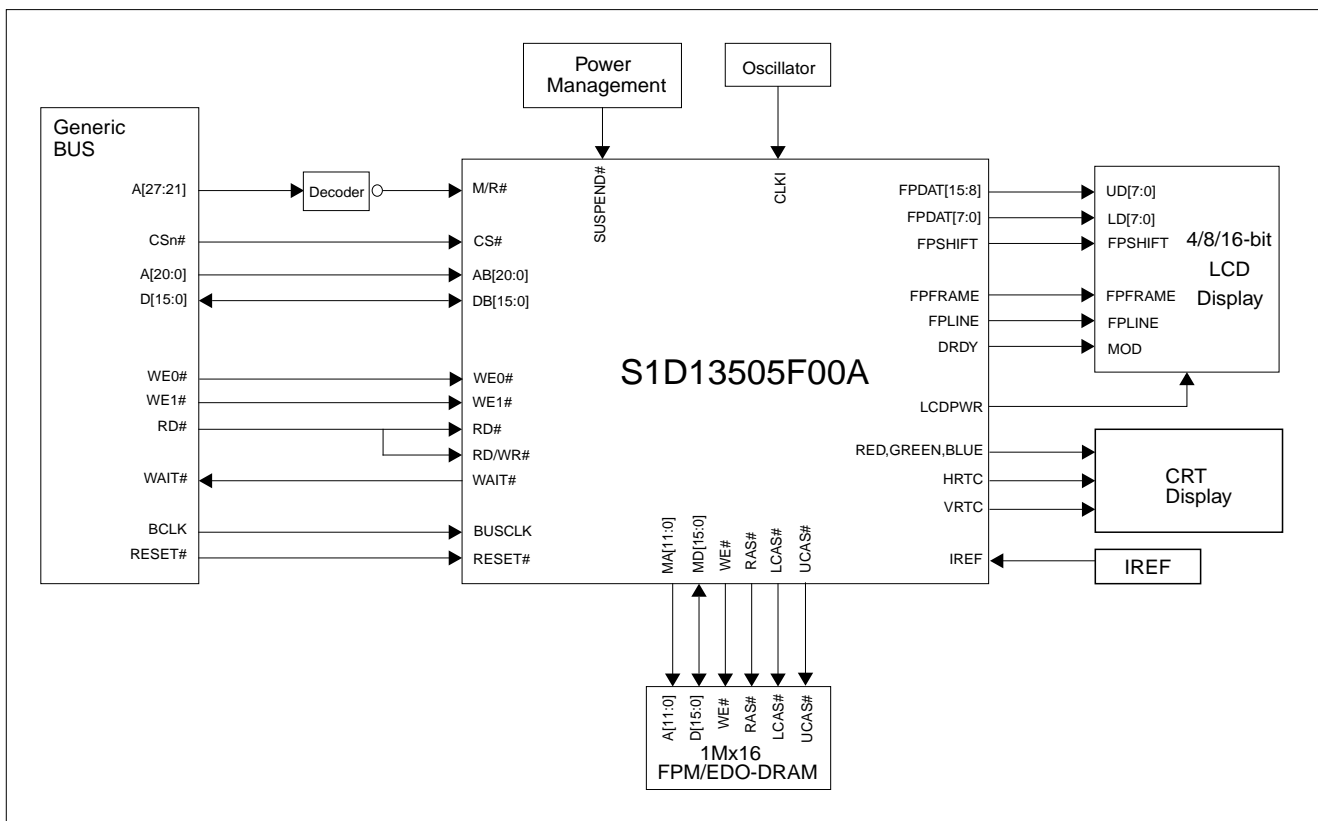


基本システム構成例 (16ビットMC68000, 256K x 16 FPM/EDO-DRAM)



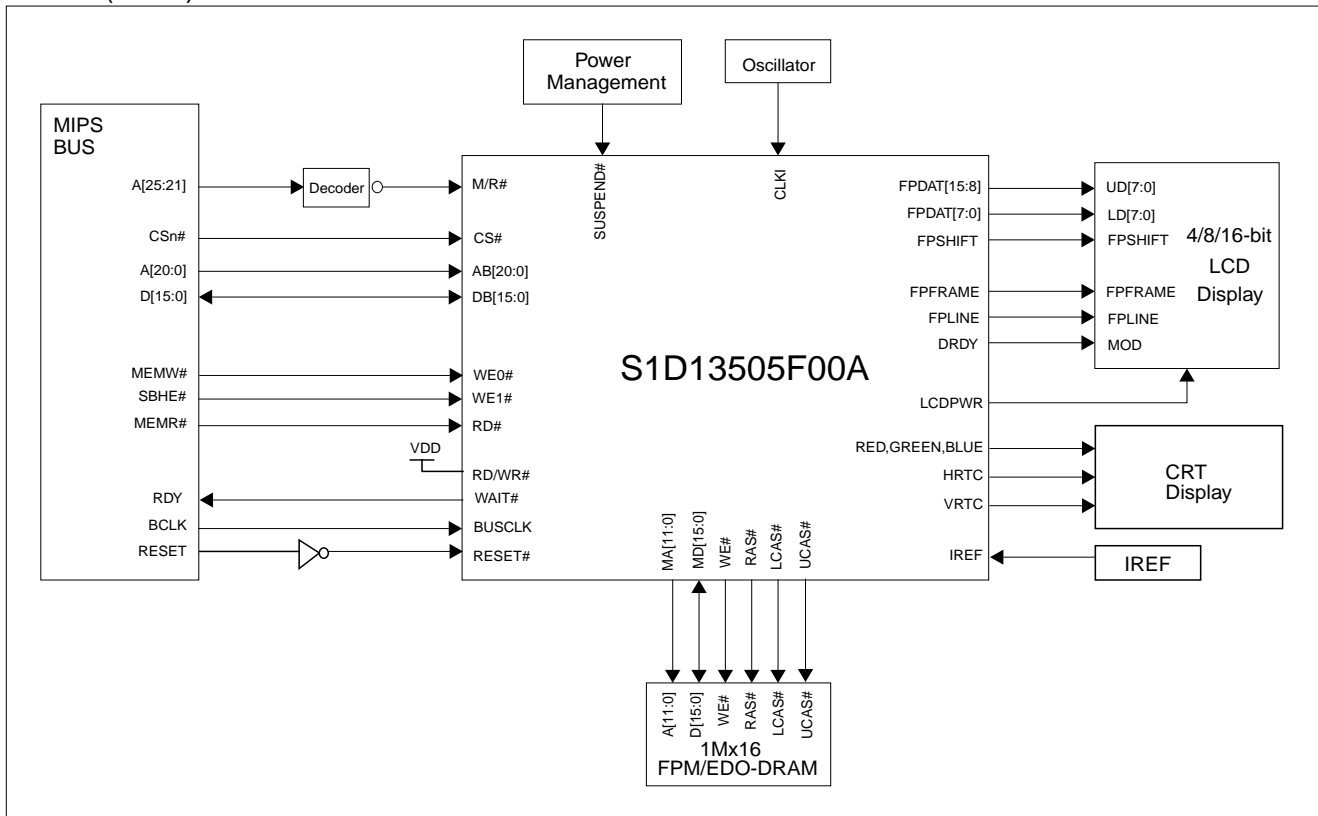
基本システム構成例 (32ビットMC68030, 256K x 16 FPM/EDO-DRAM)

汎用バスインタフェース



基本システム構成例 (汎用バス, 1M x 16 FPM/EDO-DRAM)

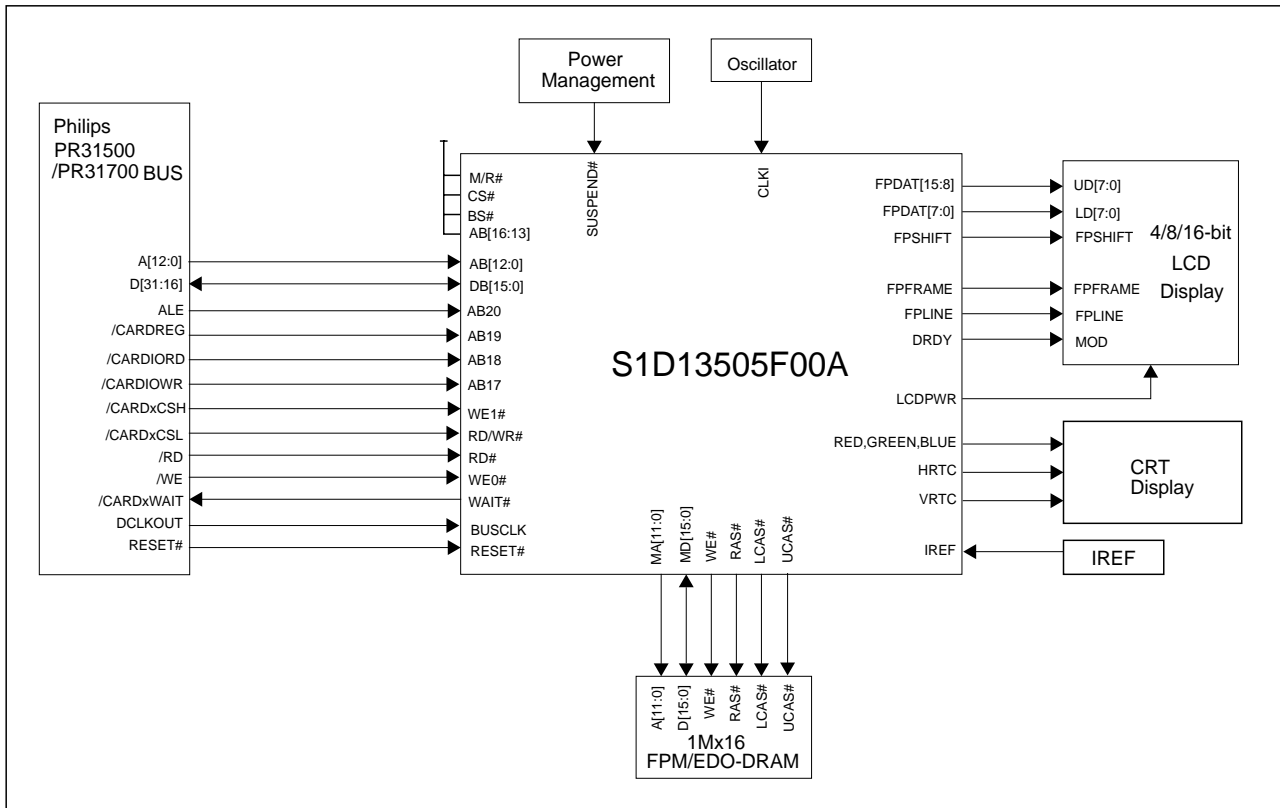
VR41xx(MIPS)バスインタフェース



基本システム構成例 (NEC VR41xx(MIPS)バス, 1M x 16 FPM/EDO-DRAM)

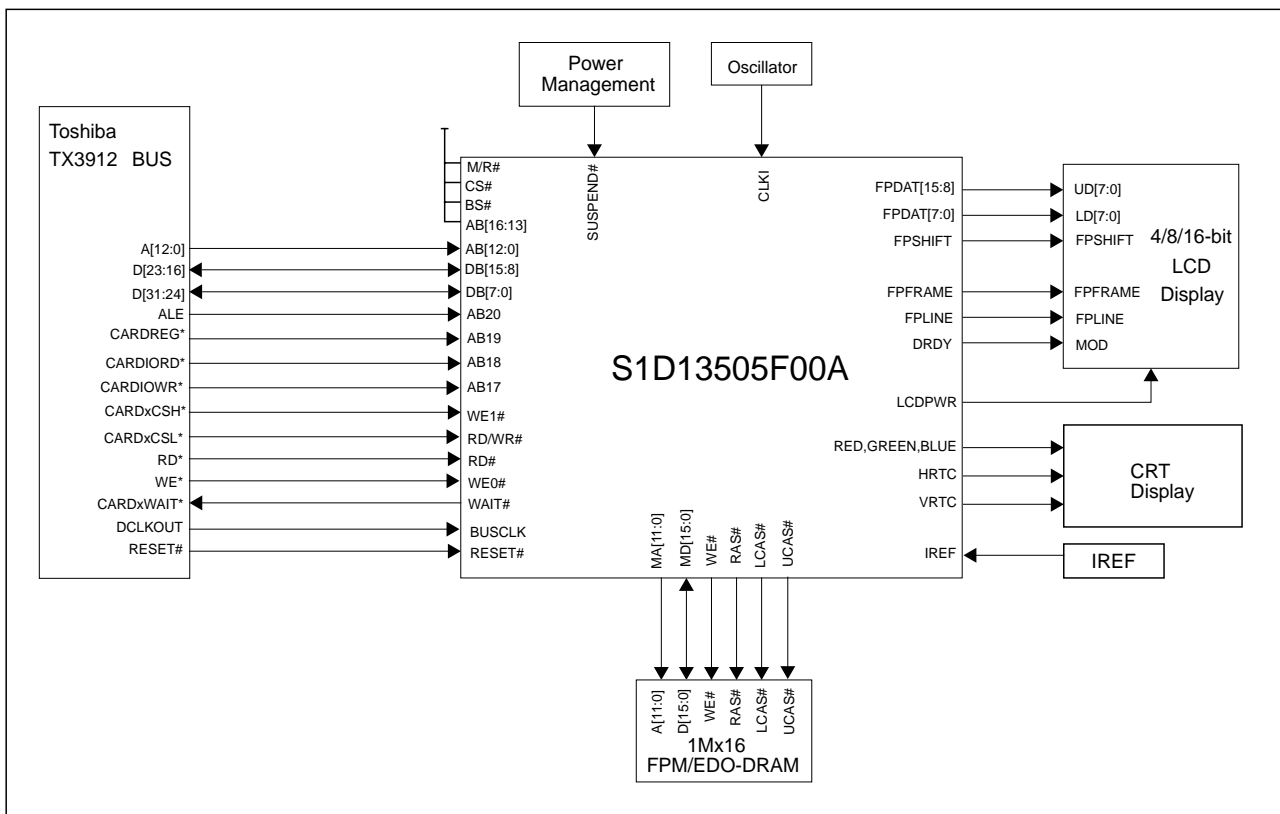
S1D13505F00A

PR31500/PR31700バスインタフェース



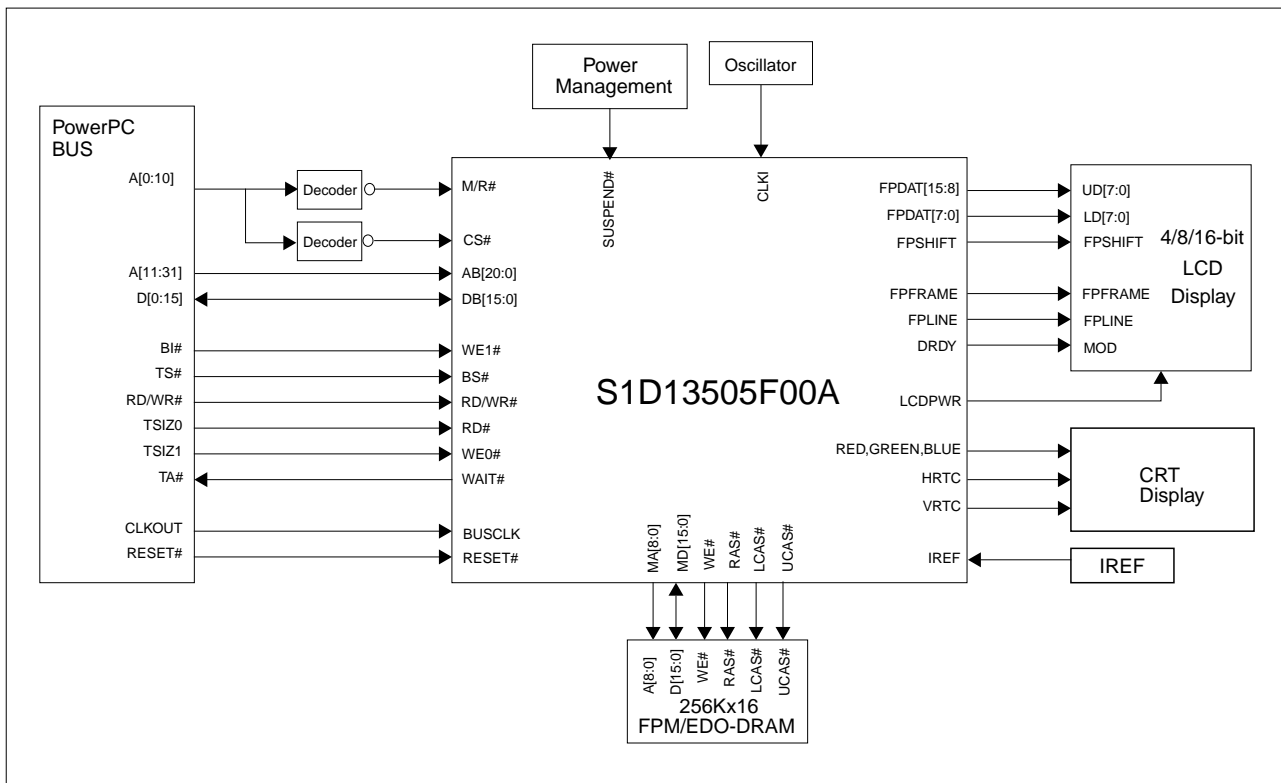
基本システム構成 (フィリップス PR31500/PR31700バス, 1M x 16 FPM/EDO-DRAM)

TX3912バスインタフェース



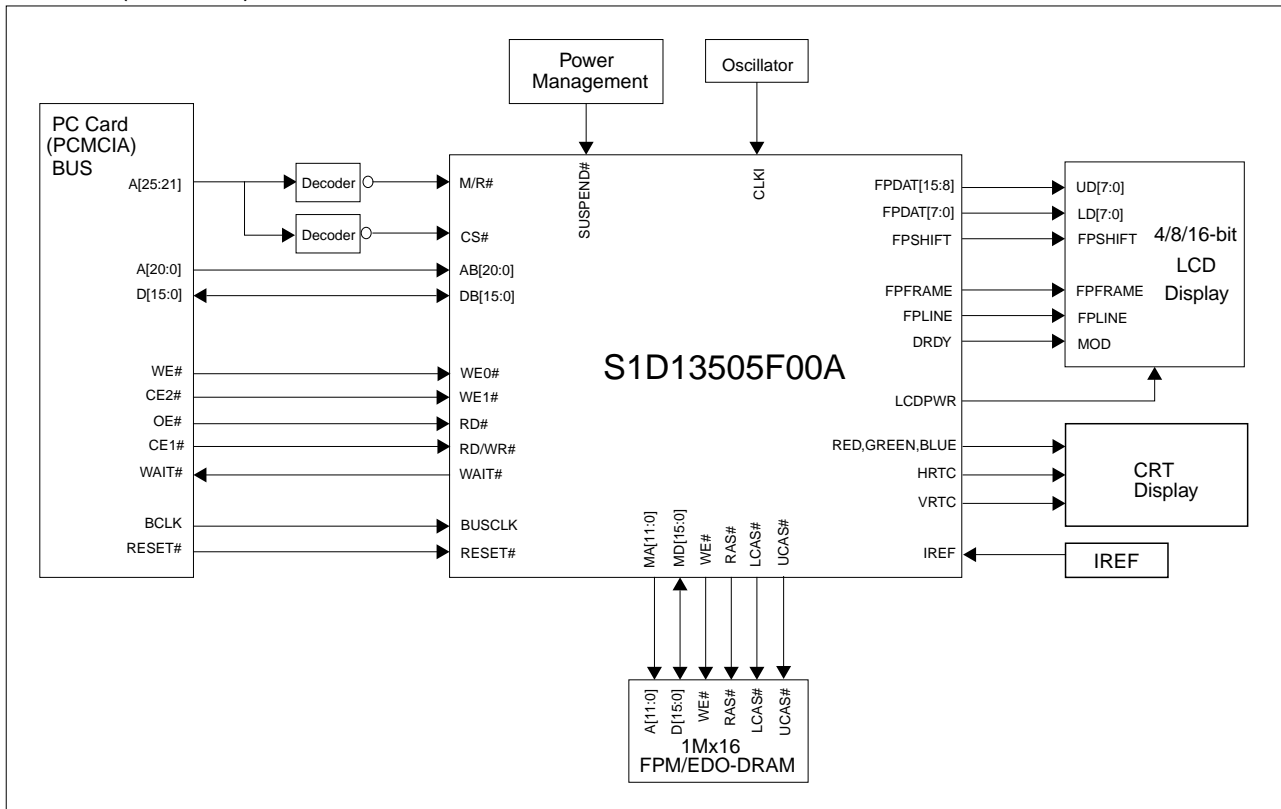
基本システム構成 (東芝TX3912バス, 1M x 16 FPM/EDO-DRAM)

PowerPCバスインタフェース



基本システム構成 (Power PCバス, 256K x 16 FPM/EDO-DRAM)

PCカード(PCMCIA)バスインタフェース

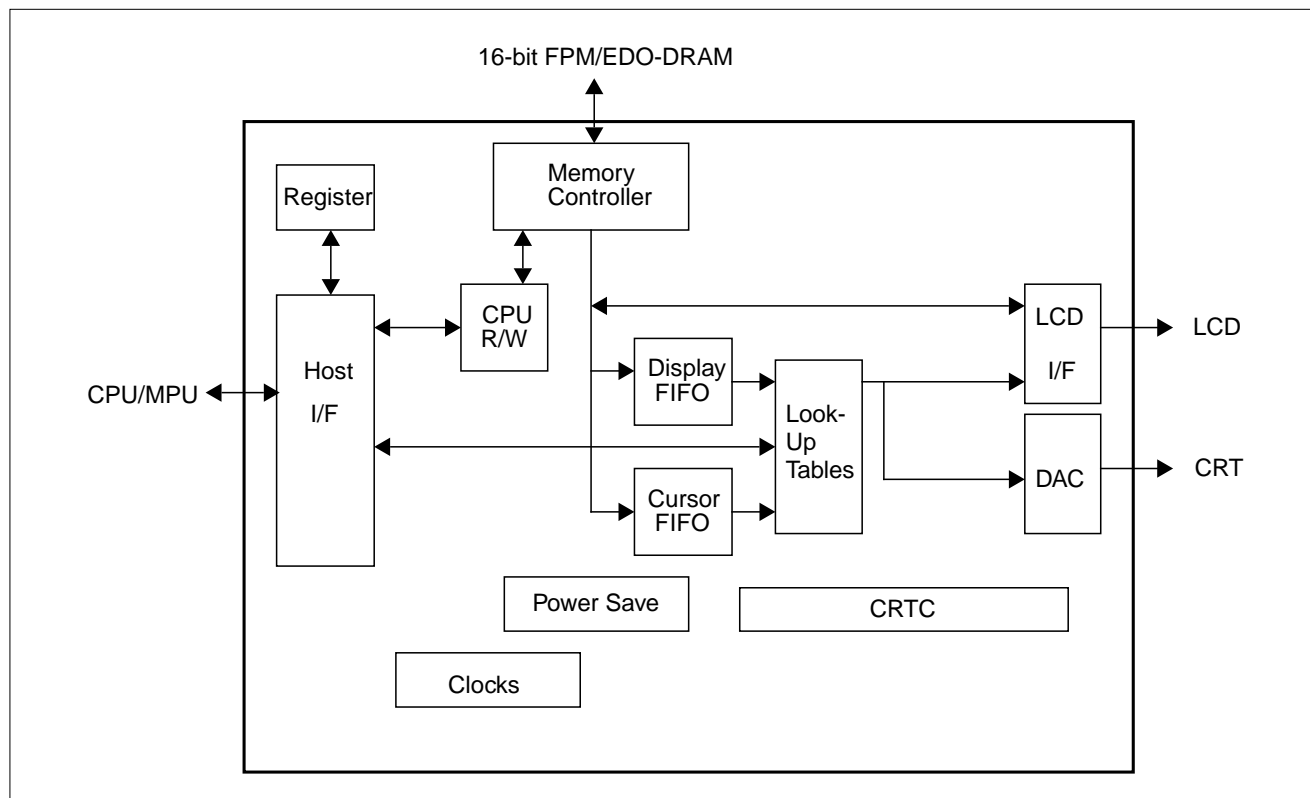


基本システム構成 (PCカード(PCMCIA)バス, 1M x 16 FPM/EDO-DRAM)

S1D13505F00A

内部ブロックの概要

機能ブロック図



機能ブロック図

各機能ブロックの概要

レジスタ

レジスタブロックにはレジスタラッチをすべて格納しています。

ホストインタフェース

ホストインタフェースブロックは、CPUまたはMPUが、対応するバスインタフェースを介して、表示バッファや内部レジスタと通信する手段を提供します。

CPU R/W

CPU R/Wブロックは、表示バッファアクセスのCPU要求と同期しています。SwivelView™がイネーブルである場合、データは、このブロックで回転されます。

メモリコントローラ

メモリコントローラブロックは、16ビットのメモリデバイス(FPM-DRAMまたはEDO-DRAM)とのインタフェース用の信号を発生するほか、CPUのメモリアccessや表示リフレッシュの仲介を行います。

表示FIFO

表示FIFOブロックは、メモリコントローラからの表示データを取り込み、表示のリフレッシュを行います。

カーソルFIFO

カーソルFIFOブロックは、表示リフレッシュのメモリコントローラからカーソル/Inkデータをフェッチします。

ルックアップテーブル

このブロックは、R(赤)、G(緑)、B(青)それぞれに対応する3つの256 × 4ルックアップテーブル(LUT)で構成されています。モノクロモードでは、これらのルックアップテーブルの中から唯一緑のLUTを選択して使用します。

このブロックには発火防止回路を含んでいます。カーソル/lnkおよび表示データはこのブロックでマージされます。

CRTC

CRTCはLCDおよびCRT用に同期タイミングを生成し、垂直方向および水平方向表示端を定義します。

LCD インタフェース

LCDインタフェースブロックは、パッシブLCDパネルの表示用にフレームレートを調整します。また、各種LCDパネルやTFT/D-TFDパネルに対応した適切なデータフォーマットやタイミング制御信号を生成します。

DAC

DACはアナログCRTをサポートするためのデジタルからアナログへの変換器です。

パワーセーブ

このブロックは、パワーセーブモードを制御する回路で構成されています。

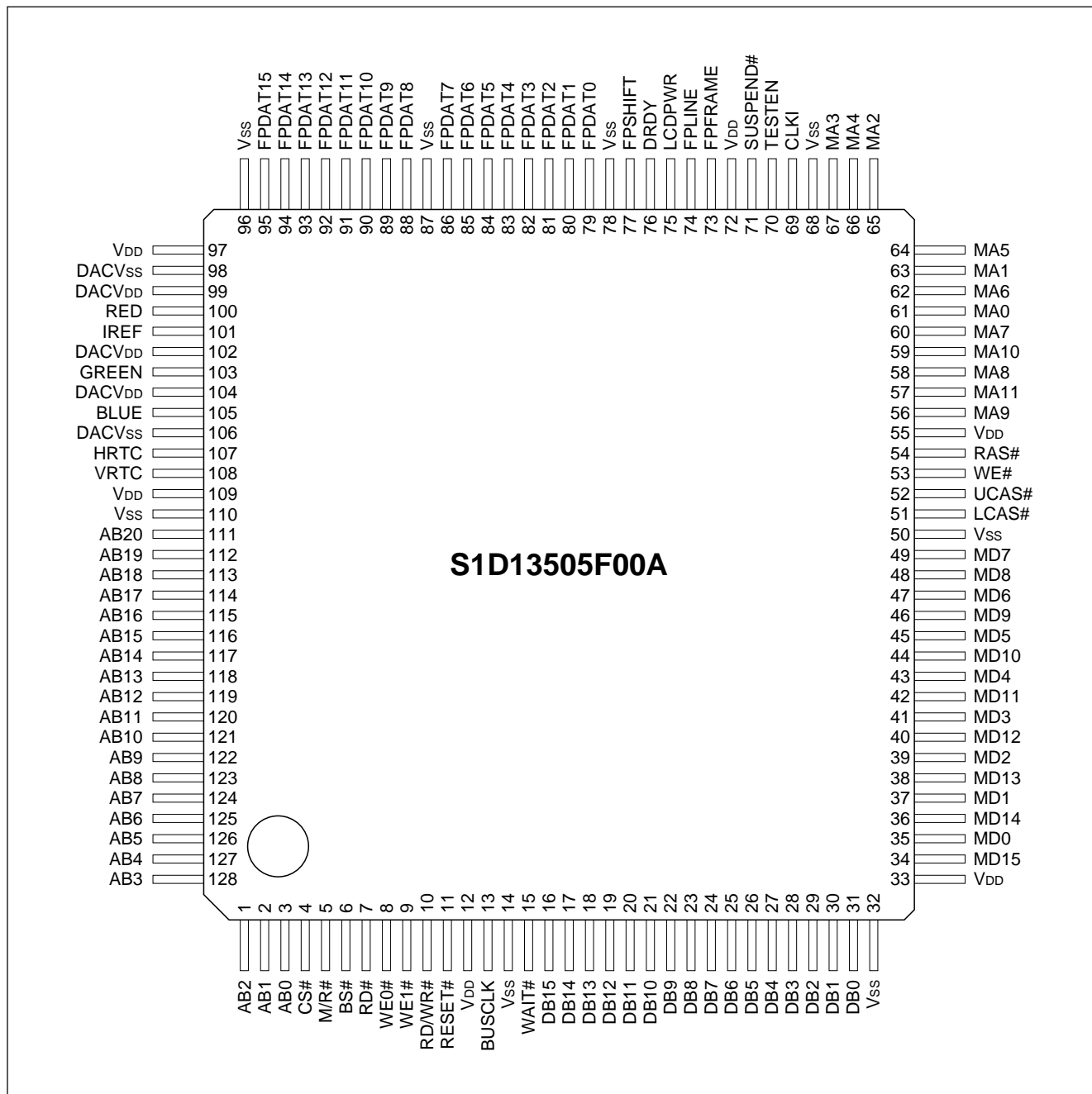
クロック

クロックモジュールは、このチップ内のすべてのクロックの元になります。

S1D13505F00A

端子構成

端子配置図



S1D13505F00A端子配置図

128ピンQFP15面実装パッケージ

端子説明

シンボル:

- I = 入力
- O = 出力
- I/O = 双方向(入出力)
- A = アナログ
- P = 電源端子
- C = CMOS レベル入力
- CD = プルダウン抵抗付き CMOS レベル入力
(5V/3.3V それぞれのプルダウン抵抗 Typ. 値は 100kΩ/180kΩ)
- CS = CMOS レベルシュミット入力
- COx = CMOS 出力ドライバ (「電気的特性 (V_{DD} = 5.0, Typ.)」, 「電気的特性 (V_{DD} = 3.3, Typ.)」, 「電気的特性 (V_{DD} = 3.0, Typ.)」を参照)
xはドライバの種類を示します。(1=3/-1.5mA, 2=6/-3mA, 3=12/-6mA)
- TSx = 3ステート CMOS 出力ドライバ (「電気的特性 (V_{DD} = 5.0, Typ.)」, 「電気的特性 (V_{DD} = 3.3, Typ.)」, 「電気的特性 (V_{DD} = 3.0, Typ.)」を参照)
xはドライバの種類を示します。(1=3/-1.5mA, 2=6/-3mA, 3=12/-6mA)
- TSxD = プルダウン抵抗付き 3ステート CMOS 出力ドライバ (「電気的特性 (V_{DD} = 5.0, Typ.)」, 「電気的特性 (V_{DD} = 3.3, Typ.)」, 「電気的特性 (V_{DD} = 3.0, Typ.)」を参照)
(5V/3.3V それぞれのプルダウン抵抗 Typ. 値は 100kW/180kW)
xはドライバの種類を示します。(1=3/-1.5mA, 2=6/-3mA, 3=12/-6mA)
- CNx = CMOS ローノイズ出力ドライバ (「電気的特性 (V_{DD} = 5.0, Typ.)」, 「電気的特性 (V_{DD} = 3.3, Typ.)」, 「電気的特性 (V_{DD} = 3.0, Typ.)」を参照)
xはドライバの種類を示します。(1=3/-1.5mA, 2=6/-3mA, 3=12/-6mA)

●ホストインタフェース

ホストインタフェース端子の機能は、使用するインタフェースの種類により異なります。それぞれの端子構成の一覧については、「インタフェース別端子構成」(22ページ)を参照してください。

ホストインタフェース端子一覧

端子名	種類	端子No.	ドライバ	初期状態	説明
AB0	I	3	CS	Hi-Z	<p>インタフェースの種類により機能が異なります。</p> <ul style="list-style-type: none"> • SH-3/SH-4バス: システムアドレスバスのビット 0(A0) 入力端子 • MC68Kバス 1: 下位データストローブ (LDS#) 入力端子 • MC68Kバス 2: システムアドレスバスのビット 0(A0) 入力端子 • 汎用バス: システムアドレスバスのビット 0(A0) 入力端子 • MIPS/SAバス: システムアドレスバスのビット 0(SA0) 入力端子 • フィリップス PR31500/31700バス: システムアドレスバスのビット 0(A0) 入力端子 • 東芝 TX3912バス: システムアドレスバスのビット 0(A0) 入力端子 • PowerPCバス: システムアドレスバスのビット 31(A31) 入力端子 • PCカード (PCMCIA): システムアドレスバスのビット 0(A0) 入力端子 <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>
AB[12:1]	I	119-128, 1, 2	C	Hi-Z	<ul style="list-style-type: none"> • PowerPCバス: システムアドレスバスのビット 19~ 30(A[19:30]) 入力端子 • 他のすべてのバス: システムアドレスバスのビット 12~ 1(A[12:1]) 入力端子 <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>

S1D13505F00A

ホストインタフェース端子一覧（続き）

端子名	種類	端子No.	ドライバ	初期状態	説明
AB[16:13]	I	115-118	C	Hi-Z	<ul style="list-style-type: none"> • フィリップス PR31500/31700 バス : V_{DD} 端子用接続端子 • 東芝 TX3912 バス : V_{DD} 端子用接続端子 • PowerPC バス : システムアドレスバスのビット 15 ~ 18(A[15:18]) 入力端子 • 他のすべてのバス : システムアドレスバスのビット 16 ~ 13(A[16:13]) 入力端子 <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>
AB17	I	114	C	Hi-Z	<ul style="list-style-type: none"> • フィリップス PR31500/31700 バス : I/O ライトコマンド (/CARDIOWR)入力端子 • 東芝 TX3912 バス : I/O ライトコマンド (/CARDIOWR*)入力端子 • PowerPC バス : システムアドレスバスのビット 14(A14)入力端子 • 他のすべてのバス : システムアドレスバスのビット 17(A17)入力端子 <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>
AB18	I	113	C	Hi-Z	<ul style="list-style-type: none"> • フィリップス PR31500/31700 バス : I/O リードコマンド (/CARDIORD)入力端子 • 東芝 TX3912 バス : I/O リードコマンド (/CARDIORD*)入力端子 • PowerPC バス : システムアドレスバスのビット 13(A13)入力端子 • 他のすべてのバス : システムアドレスバスのビット 18(A18)入力端子 <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>
AB19	I	112	C	Hi-Z	<ul style="list-style-type: none"> • フィリップス PR31500/31700 バス : カード制御レジスタアクセス (/CARDREG)入力端子 • 東芝 TX3912 バス : カード制御レジスタアクセス (/CARDREG*)入力端子 • PowerPC バス : システムアドレスバスのビット 12(A12)入力端子 • 他のすべてのバス : システムアドレスバスのビット 19(A19)入力端子 <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>
AB20	I	111	C	Hi-Z	<ul style="list-style-type: none"> • MIPS/ISA バス : システムアドレスバスのビット 20(A20)入力端子 ISA バスについては、AB20 への入力の前にラッチを解除された LA20 が最初にラッチされなければならない点に注意してください。 • フィリップス PR31500/31700 バス : アドレスラッチイネーブル (ALE)入力端子 • 東芝 TX3912 バス : アドレスラッチイネーブル (ALE)入力端子 • PowerPC バス : システムアドレスバスのビット 11(A11)入力端子 • 他のすべてのバス : システムアドレスバスのビット 20(A20)入力端子 <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>

ホストインタフェース端子一覧（続き）

端子名	種類	端子No.	ドライバ	初期状態	説明
DB[15:0]	I/O	16-31	C/TS2	Hi-Z	<p>システムデータバス 使用しない端子は IOV_{DD} に接続してください。</p> <ul style="list-style-type: none"> • SH-3/SH-4 バス : システムデータバスの D[15:0]に接続 • MC68K バス 1: システムデータバスの D[15:0]に接続 • MC68K バス 2: 32 ビットデバイス (MC68030 等) の場合はシステムデータバスの D[31:16]に、16 ビットデバイス (MC68340 等) の場合は D[15:0]に接続 • 汎用バス : システムデータバスの D[15:0]に接続 • MIPS/ISA バス : システムデータバスの SD[15:0]に接続 • フィリップス PR31500/31700 バス : システムデータバスの D[31:16]に接続 • 東芝 TX3912 バス : システムデータバスのピン [15:8]は D[23:16]にピン [7:0]は D[31:24]に接続 • PowerPC バス : システムデータバスの D[0:15]に接続 • PC カード (PCMCIA)バス : システムデータバスの D[15:0]に接続 <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>
WE1#	I/O	9	CS/TS2	Hi-Z	<p>インタフェースの種類により機能が異なります。</p> <ul style="list-style-type: none"> • SH-3/SH-4 バス : 上位データバイトのライトイネーブル (WE1#)入力端子 • MC68K バス 1: 上位データストロープ (UDS#)入力端子 • MC68K バス 2: データストロープ (DS#)入力端子 • 汎用バス : 上位データバイトのライトイネーブル (WE1#)入力端子 • MIPS/ISA バス : システムバイトハイイネーブル信号 (SBHE#)入力端子 • フィリップス PR31500/31700 バス : 奇数バイトアクセスイネーブル信号 (/CARDxCSH)の入力端子 • 東芝 TX3912 バス : 奇数バイトアクセスイネーブル信号 (/CARDxCSH*)の入力端子 • PowerPC バス : パースト禁止信号 (BI#)出力端子 • PC カード (PCMCIA)バス : カードイネーブル 2 信号 (-CE2)入力端子 <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>
M/R#	I	5	C	Hi-Z	<ul style="list-style-type: none"> • フィリップス PR31500/31700 バス : V_{DD} 端子用接続端子 • 東芝 TX3912 バス : V_{DD} 端子用接続端子 <p>• すべてのバスについて、この入力ピンは表示バッファおよび S1D13505 のレジスタアドレス空間のどちらを選択するかに使用します。M/R#は、表示バッファにアクセスするにはハイに設定し、レジスタにアクセスするにはローに設定します。レジスタマッピングを参照してください。</p> <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>
CS#	I	4	C	Hi-Z	<ul style="list-style-type: none"> • フィリップス PR31500/31700 バス : V_{DD} 端子用接続端子 • 東芝 TX3912 バス : V_{DD} 端子用接続端子 <p>• すべてのバスについて、これはチップ選択入力となります。</p> <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>

S1D13505F00A

ホストインタフェース端子一覧（続き）

端子名	種類	端子No.	ドライバ	初期状態	説明
BUSCLK	I	13	C	Hi-Z	<p>このピンはシステムバスクロックを入力します。2x クロックを適用し内部的にそれを2で割ることは可能です</p> <ul style="list-style-type: none"> • SH-3/SH-4 バス : CKIO に接続 • MC68K バス 1: CLK に接続 • MC68K バス 2: CLK に接続 • 汎用バス : BCLK に接続 • MIPS/ISA バス : CLK に接続 • フィリップス PR31500/31700 バス : DCLKOUT 端子用接続端子 • 東芝 TX3912 バス : DCLKOUT 端子用接続端子 • PowerPC バス : CLKOUT に接続 • PC カード (PCMCIA)バス : 入力クロックに接続 (CLKI, ピン 69) <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>
BS#	I	6	CS	Hi-Z	<p>インタフェースの種類により機能が異なります。</p> <ul style="list-style-type: none"> • SH-3 バス :バススタート信号 (BS#)入力端子 • MC68K バス 1:アドレスストローブ (AS#)入力端子 • MC68K バス 2:アドレスストローブ (AS#)入力端子 • 汎用バス : V_{DD} に接続 • MIPS/ISA バス : V_{DD} に接続 • フィリップス PR31500/31700 バス : V_{DD} 端子用接続端子 • 東芝 TX3912 バス : V_{DD} 端子用接続端子 • PowerPC バス : 伝送開始信号 (TS#)入力端子 • PC カード (PCMCIA)バス : V_{DD} に接続 <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>
RD/WR#	I	10	CS	Hi-Z	<p>インタフェースの種類により機能が異なります。</p> <ul style="list-style-type: none"> • SH-3/SH-4 バス : 読み出し /書き込み信号 (RD/WR#)入力端子。 S1D13505 では、この信号をバスサイクルの初期にデコードしておく必要があります。 • MC68K バス 1:読み出し /書き込み信号 (R/W#)入力端子 • MC68K バス 2:読み出し /書き込み信号 (R/W#)入力端子 • 汎用バス : 上位データバイトのリード信号 (RD1#)入力端子 • MIPS/ISA バス : V_{DD} に接続 • フィリップス PR31500/31700 バス : 偶数バイトアクセスイネーブル信号 (/CARDxCSL)の入力端子 • 東芝 TX3912 バス : 偶数バイトアクセスイネーブル信号 (/CARDxCSL*)の入力端子 • PowerPC バス : 読み出し /書き込み信号 (RD/WR#)入力端子 • PC カード (PCMCIA)バス : カードイネーブル 1 信号 (-CE1)入力端子 <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>

ホストインタフェース端子一覧 (続き)

端子名	種類	端子No.	ドライバ	初期状態	説明
RD#	I	7	CS	Hi-Z	<p>インタフェースの種類により機能が異なります。</p> <ul style="list-style-type: none"> • SH-3/SH-4 バス : リード信号 (RD#)入力端子 • MC68K バス 1: IOV_{DD} に接続してください。 • MC68K バス 2: バスサイズビット 1(SIZ1)入力端子 • 汎用バス : 下位データバイトのリード信号 (RD0#)入力端子 • MIPS/ISA バス : メモリ読み出し信号 (MEMR#)入力端子 • フィリップス PR31500/31700 バス : メモリリードコマンド (/RD) 入力端子 • 東芝 TX3912 バス : メモリリードコマンド (/RD*)入力端子 • PowerPC バス : 伝送サイズ 0 信号 (TSIZ0)入力端子 • PC カード (PCMCIA)バス : 出カインェーブル信号 (-OE)入力端子 <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>
WE0#	I	8	CS	Hi-Z	<p>インタフェースの種類により機能が異なります。</p> <ul style="list-style-type: none"> • SH-3/SH-4 バス : 下位データバイトのライトイネーブル (WE0#) 入力端子 • MC68K バス 1: IOV_{DD} に接続してください。 • MC68K バス 2: バスサイズビット 0(SIZ0)入力端子 • 汎用バス : 下位データバイトのライトイネーブル (WE0#)入力端子 • MIPS/ISA バス : メモリ書き込み信号 (MEMW#)入力端子 • フィリップス PR31500/31700 バス : メモリライトコマンド (/WE) 入力端子 • 東芝 TX3912 バス : メモリライトコマンド (/WE*)入力端子 • PowerPC バス : 伝送サイズ 1 信号 (TSIZ1)入力端子 • PC カード (PCMCIA)バス : 書き込みイネーブル信号 (-WE)入力端子 <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>

ホストインタフェース端子一覧（続き）

端子名	種類	端子No.	ドライバ	初期状態	説明
WAIT#	O	15	TS2	Hi-Z	<p>WAIT#出力のアクティブ極性はコンフィグレーションが可能です；RESET#の上昇点のMD%の状態はWAIT#のアクティブ極性を定義します - 「構成オプション一覧」を参照してください。</p> <ul style="list-style-type: none"> • SH-3 バス： ウェイトリクエスト (WAIT#)出力端子。 リセット時、MD5 端子は内蔵プルダウン抵抗でLowに設定してください。 • SH-4 バスの場合、このピンはレディ信号 (RDY#)を出力します；MD5 は、内部プルダウンレジスタを用いてリセット時、Lowに設定してください。 • MC68K バス 1: データ転送アクノリッジ (DTACK#)出力端子。 リセット時、MD5 端子は外部のプルアップ抵抗でHighに設定してください。 • MC68K バス 2: データ転送アクノリッジ 1(DTACK1#)出力端子。 リセット時、MD5 端子は外部のプルアップ抵抗でHighに設定してください。 • 汎用バス： ウェイトリクエスト (WAIT#)出力端子。リセット時、MD5 端子は内蔵プルダウン抵抗でLowに設定してください。 • MIPS/ISA の場合、このピンは IO チャンネルレディ信号 (IOCHRDY)を出力します。MD5 は、内部プルダウンレジスタを用いてリセット時、Lowに設定してください。 • フィリップス PR31500/31700 バス：ウェイトステート信号 (/CARDxWAIT)出力端子；リセット時、MD5 は、内部プルダウン抵抗でLowに設定してください。 • 東芝 TX3912 バス：ウェイトステート信号 (/CARDxWAIT*)出力端子；リセット時、MD5 は、内部プルダウン抵抗でLowに設定してください。 • PowerPC バスの場合、このピンは伝送確認信号 (TA#)を出力します。MD5 は、外部プルアップレジスタを用いてリセット時、Highに設定してください。 • PC カード (PCMCIA)バスの場合、このピンは待機信号 (-WAIT)を出力します。MD5 は、内部プルダウンレジスタを用いてリセット時、Lowに設定してください。 <p>概要については表「ホストインタフェース端子の割り付け」を読んでください。詳細な機能については、それぞれの AC タイミング図を見てください。</p>
RESET#	I	11	CS	-	<p>アクティブLow入力により、内部レジスタがクリアされ、すべての信号がインアクティブ状態となります。すべての内部レジスタをクリアし、すべての出力を動作しない状態にさせるアクティブLow入力。アクティブHigh RESET 信号は、このピンへの入力の前に反転しなければなりません。</p>

メモリアインタフェース

メモリアインタフェース端子一覧

端子名	種類	端子No.	ドライバ	初期状態	説明
LCAS#	O	51	CO1	1	<p>DRAM の方式により機能が異なります。</p> <ul style="list-style-type: none"> • 2CAS 方式： 下位バイトのコラムアドレスストローブ (LCAS#)出力端子 • WE 方式： コラムアドレスストローブ (CAS#)出力端子 <p>概要については表「メモリアインタフェース端子の割り付け」を読んでください。詳細な機能についてはメモリアインタフェースタイミングを見てください。</p>
UCAS#	O	52	CO1	1	<p>DRAM の方式により機能が異なります。</p> <ul style="list-style-type: none"> • 2CAS 方式： 上位バイトのコラムアドレスストローブ (UCAS#)出力端子 • WE 方式： 上位バイトのライトイネーブル (UWE#)出力端子 <p>概要については表「メモリアインタフェース端子の割り付け」を読んでください。詳細な機能についてはメモリアインタフェースタイミングを見てください。</p>
WE#	O	53	CO1	1	<p>DRAM の方式により機能が異なります。</p> <ul style="list-style-type: none"> • 2CAS方式： ライトイネーブル (WE#)出力端子 • WE方式： 下位バイトのライトイネーブル (LWE#)出力端子 <p>概要については表「メモリアインタフェース端子の割り付け」を読んでください。詳細な機能についてはメモリアインタフェースタイミングを見てください。</p>
RAS#	O	54	CO1	1	<p>ローアドレスストローブ (RAS#)出力端子</p> <p>ローアドレスストロブ - 詳細な機能についてはメモリアインタフェースタイミングを見てください。</p>
MD[15:0]	I/O	34, 36, 38 40, 42, 44 46, 48, 49 47, 45, 43 41, 39, 37 35	CD2/TS1	Hi-Z (0 にプルダウン)	<p>双方向メモリアデータバス</p> <p>通常動作時は表示メモリア用のデータバスとして使用します。</p> <p>リセット時は、S1D13505 の構成オプションの設定に使用します。設定内容は RESET# 入力の立ち上がりエッジで取り込まれます。これらの端子にはプルダウン抵抗が内蔵されているため、リセット時は 0 に設定されます。1 に設定する場合は外部にプルアップ抵抗を接続して対応してください。内蔵のプルダウン抵抗値 (Typ.) は、動作電圧により 100kΩ/5.0V、180kΩ/3.3V、となります。</p> <p>詳細な機能についてはメモリアインタフェースタイミングを見てください。</p>
MA[8:0]	O	58, 60, 62 64, 66, 67 65, 63, 61	CO1	出力	<p>多重化メモリアアドレスバス</p> <p>機能についてはメモリアインタフェースタイミングを見てください。</p>
MA9	I/O	56	C/TS1	出力	<p>使用する DRAM により機能が異なります。</p> <ul style="list-style-type: none"> • 2MB DRAM: メモリアアドレスビット 9(MA9)入力端子 • 非対称 512KB DRAM: メモリアアドレスビット 9(MA9)入力端子 • 対称 512KB DRAM: 汎用入出力 (GPIO3)として使用可能 <p>別にコンフィグレーションが行われないのであれば、このピンのデフォルトは入力であり、有効な論理レベルに移行させなければならない点に注意してください。</p> <p>概要については表「メモリアインタフェース端子の割り付け」を読んでください。詳細な機能についてはメモリアインタフェースタイミングを見てください。</p>

S1D13505F00A

メモリアインタフェース端子一覧（続き）

端子名	種類	端子No.	ドライバ	初期状態	説明
MA10	I/O	59	C/TS1	出力	<p>使用する DRAM により機能が異なります。</p> <ul style="list-style-type: none"> • 非対称 2MB DRAM: メモリアドレスビット 10(MA10)入力端子 • 対称 2MB DRAM: 汎用入出力 (GPIO1)として使用可能 • 512KB DRAM: 汎用入出力 (GPIO1)として使用可能 <p>別にコンフィグレーションが行われないのであれば、このピンのデフォルトは入力であり、有効な論理レベルに移行させなければならぬ点に注意してください。</p> <p>概要については表「メモリアインタフェース端子の割り付け」を読んでください。詳細な機能についてはメモリアインタフェースタイミングを見てください。</p>
MA11	I/O	57	C/TS1	出力	<p>使用する DRAM により機能が異なります。</p> <ul style="list-style-type: none"> • 非対称 2MB DRAM: メモリアドレスビット 11(MA11)入力端子 • 対称 2MB DRAM: 汎用入出力 (GPIO2)として使用可能 • 512KB DRAM: 汎用入出力 (GPIO2)として使用可能 <p>別にコンフィグレーションが行われないのであれば、このピンのデフォルトは入力であり、有効な論理レベルに移行させなければならぬ点に注意してください。</p> <p>概要については表「メモリアインタフェース端子の割り付け」を読んでください。詳細な機能についてはメモリアインタフェースタイミングを見てください。</p>

LCDインタフェース

LCDインタフェース端子の構成は、使用するパネルにより異なります。それぞれの端子構成の一覧については、表「LCDインタフェース端子の割り付け」(23ページ)を参照してください。

LCDインタフェース端子一覧

端子名	種類	端子No.	ドライバ	初期状態	説明
FPDAT[15:0]	O	95-88 86-79	CN3	出力	パネル表示データ いくつかのパネルについては、すべてのピンが使われるわけではありません。 - 詳細については表「LCDインタフェース端子の割り付け」を参照してください。使われないピンはLowに設定されます。
FPFRAME	O	73	CN3	出力	フレームパルス
FPLINE	O	74	CN3	出力	ラインパルス
FPSHIFT	O	77	CO3	出力	シフトクロックパルス
LCDPWR	O	75	CO1	出力 (MD10=0 時) 1 (MD10=1 時)	LCD 電源制御出力 なお、MD10端子の状態により、この信号のアクティブ極性がRESET#入力の立ち上がりエッジで設定されます。「構成オプション一覧」を参照してください。この出力はパワーセーブモード回路が制御します。
DRDY	O	76	CN3	出力	使用するパネルの種類により機能が自動的に選択されます。 <ul style="list-style-type: none"> • TFT/D-TFD パネル： 表示イネーブル (DRDY)出力端子 • パッシブ LCD の形式 1: 2nd シフトクロック (FPSHIFT2)出力端子 • その他のパネル： LCD バックプレーンバイアス信号 (MOD) 出力端子 詳細については「LCDインタフェース端子の割り付け」(23ページ)とREG[02h]を参照してください。

CRTインタフェース

クロック入力端子

端子名	種類	端子No.	ドライバ	初期状態	説明
HRTC	I/O	107	CN3	出力	CRT用の水平方向リトレース信号
VRTC	I/O	108	CN3	出力	CRT用の垂直方向リトレース信号
RED	O	100	A		CRT赤色用のアナログ出力
GREEN	O	103	A		CRT緑色用のアナログ出力
BLUE	O	105	A		CRT青色用のアナログ出力
IREF	I	101	A		DAC 用基準電流源 - アナログピンを見てください。このピンは、DAC が必要でない場合は、未接続のままにしておかなければなりません。

S1D13505F00A

その他

その他インタフェースピン説明

端子名	種類	端子No.	ドライバ	初期設定	説明
SUSPEND#	I/O	71	CS/TS1	Hi-Z (MD9=0時) 1 (MD[10:9]=0時) 0 (MD[10:9]=1時)	<p>サスペンド (SUSPEND#)入力または LCD バックライト電源として汎用出力 (GPO)端子の機能は、RESET#信号立ち上がり時のMD9 端子の状態によって設定されます。</p> <ul style="list-style-type: none"> MD9=0:SUSPEND#入力 ロー入力により S1D13505 はサスペンドモードに移行します。 RESET#の立ち上がりエッジで MD9=0 のとき、ハードウェアサスペンドモードへ移行させるアクティブLowシュミット入力端子 - 詳細は「パワーセーブモード」を参照してください。 RESET#の立ち上がりエッジで MD[10:9]=01 のとき、1 のリセット状態の出力端子。その状態は、REG[21h]ビット7で制御します。 RESET#の立ち上がりエッジで MD[10:9]=11 のとき、0 のセット状態の出力端子。その状態は、REG[21h]ビット7で制御します。
CLKI	I	69	C		内部ピクセルクロック (PCLK)およびメモリクロック (MCLK)用の入力クロック。PCLK および MCLK は CLKI から生成します - 詳細はREG[19h]を見てください。
TESTEN	I	70	CD	Hi-Z	テストイネーブル入力端子 通常動作時は、IOVss に接続してください。
V _{DD}	P	12, 33, 55, 72, 97, 109	P		V _{DD}
DACV _{DD}	P	99, 102, 104	P		DAC V _{DD}
V _{SS}	P	14, 32, 50, 68, 78, 87, 96, 110	P		V _{SS}
DACV _{SS}	P	98, 106	P		DAC V _{SS}

構成オプション一覧

S1D13505では、電源投入時にインタフェース条件などを設定することができます。これらの端子の状態は、RESET#入力の立ち上がりエッジで読み出され、以下のオプションが各端子のレベルに従って選択されます。

パワーオン/リセットオプション

端子名	RESET#立ち上がり時の端子状態 : (1/0)	
	1	0
MD0	ホストインタフェース = 8ビットバス	ホストインタフェース = 16ビットバス
MD[3:1]	ホストインタフェースの種類 000 = SH-3/SH-4バスインタフェース 001 = MC68Kバス1 (MC68000等) 010 = MC68Kバス2 (MC68030等) 011 = 汎用 100 = リザーブ 101 = MIPS/ISA 110 = PowerPC 111 = PCカード (MD11=1のとき、フィリップス PR31500/31700バスまたは東芝TX3912バス)	
MD4	アクセス方式 = リトルエンディアン	アクセス方式 = ビッグエンディアン
MD5	WAIT#信号論理 = アクティブHigh (WAIT# = 1でウェイトサイクル挿入)	WAIT#信号論理 = アクティブLow (WAIT# = 0でウェイトサイクル挿入)
MD[7:6]	メモリアドレス/汎用入出力 (GPIO)の構成 00 = 対称型 256K × 16 DRAM MA[8:0] = DRAM アドレス MA[11:9] = GPIO[2:1], GPIO3 01 = 対称型 1M × 16 DRAM MA[9:0] = DRAM アドレス MA[11:10] = GPIO[2:1] 10 = 非対称型 256K × 16 DRAM MA[9:0] = DRAM アドレス MA[11:10] = GPIO[2:1] 11 = 非対称型 1M × 16 DRAM MA[11:0] = DRAM アドレス	
MD8	未使用	
MD9	SUSPEND#入力 = 使用しない (汎用出力GPOとして使用)	SUSPEND#入力 = 使用する
MD10	LCDPWR, GPO 信号論理 = アクティブLow	LCDPWR, GPO 信号論理 = アクティブHigh
MD11	オルタネートホストバスインタフェース選択	プライマリホストバスインタフェース選択
MD12	2で除算した BUSCLK 入力	除算しない BUSCLK 入力
MD[15:11]	未使用	

S1D13505F00A

インタフェース別端子構成

ホストインタフェース端子の割り付け

S1D13505 端子名	SH-3	SH-4	MC68K バス1	MC68K バス2	汎用	MIPS/ISA	Philips PR31500 /PR31700	Toshiba TX3912	PowerPC	PC Card (PCMCIA)
AB20	A20	A20	A20	A20	A20	LatchA20	ALE	ALE	A11	A20
AB19	A19	A19	A19	A19	A19	SA19	/CARDREG	CARDREG*	A12	A19
AB18	A18	A18	A18	A18	A18	SA18	/CARDIORD	CARDIORD*	A13	A18
AB17	A17	A17	A17	A17	A17	SA17	/CARDIOWR	CARDIOWR*	A14	A17
AB[16:13]	A[16:13]	A[16:13]	A[16:13]	A[16:13]	A[16:13]	SA[16:13]	VDD	VDD	A[15:18]	A[16:13]
AB[12:1]	A[12:1]	A[12:1]	A[12:1]	A[12:1]	A[12:1]	SA[12:1]	A[12:1]	A[12:1]	A[19:30]	A[12:1]
AB0	A0	A0	LDS#	A0	A0	SA0	A0	A0	A31	A0
DB[15:8]	D[15:8]	D[15:8]	D[15:8]	D[31:24]	D[15:8]	SD[15:8]	D[31:24]	D[31:24]	D[0:7]	D[15:8]
DB[7:0]	D[7:0]	D[7:0]	D[7:0]	D[23:16]	D[7:0]	SD[7:0]	D[23:16]	D[23:16]	D[8:15]	D[7:0]
WE1#	WE1#	WE1#	UDS#	DS#	WE1#	SBHE#	/CARDxCSH	CARDxCSH*	BI#	-CE2
M/R#	External Decode						VDD		External Decode	
CS#							VDD			
BUSCLK	CKIO	CKIO	CLK	CLK	BCLK	CLK	DCLKOUT	DCLKOUT	CLKOUT	CLKI
BS#	BS#	BS#	AS#	AS#	VDD	VDD	VDD	VDD	TS#	VDD
RD/WR#	RD/WR#	RD/WR#	R/W#	R/W#	RD1#	VDD	/CARDxCSL	CARDxCSL*	RD/WR#	-CE1
RD#	RD#	RD#	VDD	SIZ1	RD0#	MEMR#	/RD	RD*	TSIZ0	-OE
WE0#	WE0#	WE0#	VDD	SIZ0	WE0#	MEMW#	/WE	WE*	TSIZ1	-WE
WAIT#	WAIT#	RDY	DTACK#	DSACK1#	WAIT#	IOCHRDY	/CARDxWAIT	CARDxWAIT*	TA#	-WAIT
RESET#	RESET#	RESET#	RESET#	RESET#	RESET#	inverted RESET	RESET#	PON*	RESET#	inverted RESET

メモリアンタフェース端子の割り付け

S1D13505 端子名	FPM/EDO-DRAM							
	対称型 256K × 16		非対称型 256K × 16		対称型 1M × 16		非対称型 1M × 16	
	2CAS#	2WE#	2CAS#	2WE#	2CAS#	2WE#	2CAS#	2WE#
MD[15:0]	D[15:0]							
MA[8:0]	A[8:0]							
MA9	GPIO3*1			A9				
MA10	GPIO1*1						A10	
MA11	GPIO2*1						A11	
UCAS#	UCAS#	UWE#	UCAS#	UWE#	UCAS#	UWE#	UCAS#	UWE#
LCAS#	LCAS#	CAS#	LCAS#	CAS#	LCAS#	CAS#	LCAS#	CAS#
WE#	WE#	LWE#	WE#	LWE#	WE#	LWE#	WE#	LWE#
RAS#	RAS#							

*1: すべてのGPIO端子はリセット時に入力端子に設定されます。GPIO端子を使用しない場合は、Vss
またはIOVDDに接続してください。

LCDインタフェース端子の割り付け

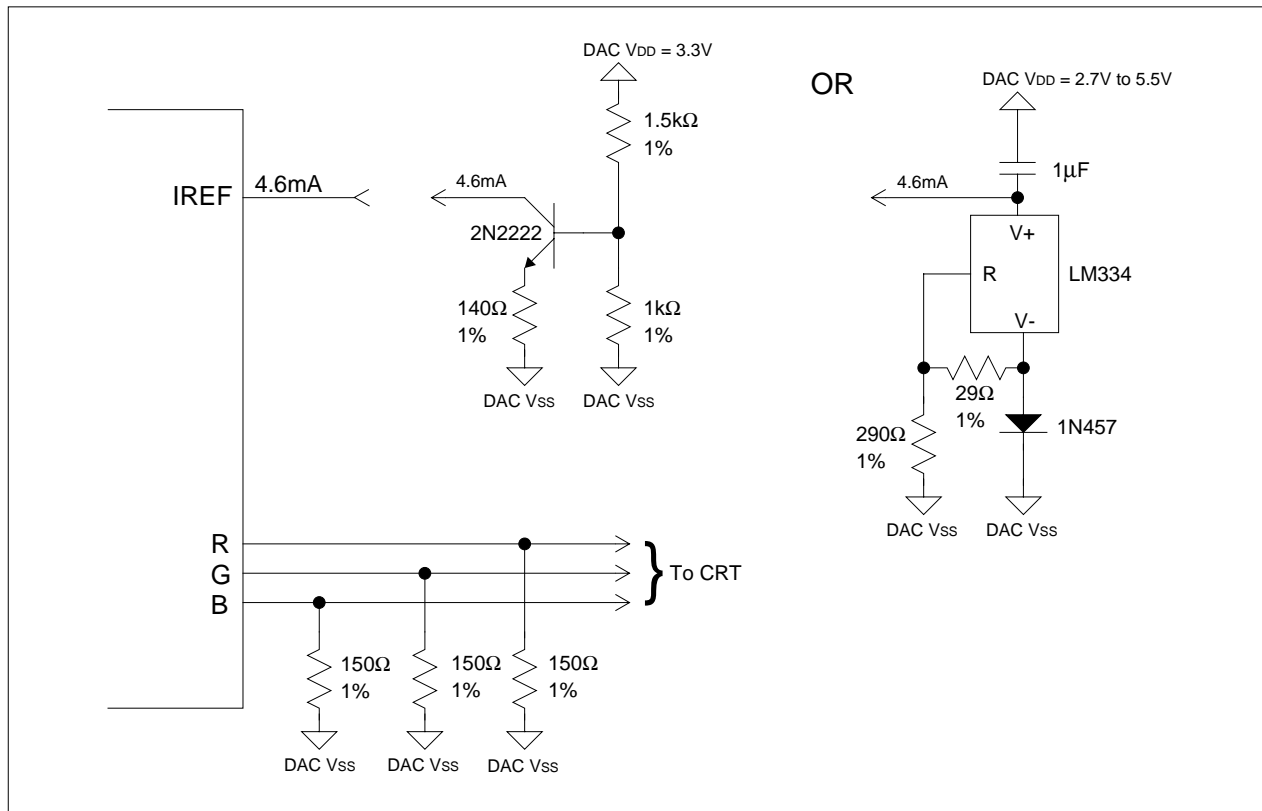
S1D13505 端子名	モノクロパッシブパネル			カラーパッシブパネル						カラー TFT/D-TFDパネル		
	シングル		デュアル	シングル	シングル 形式1	シングル 形式2	シングル	デュアル				
	4ビット	8ビット	8ビット	4ビット	8ビット	8ビット	16ビット	8ビット	16ビット	9ビット	12ビット	18ビット*1
FPFRAME	FPFRAME											
FPLINE	FPLINE											
FPSHIFT	FPSHIFT											
DRDY	MOD			FPSHIFT 2	MOD			DRDY				
FPDAT0	0出力	D0	LD0	0出力	D0	D0	D0	LD0	LD0	R2	R3	R5
FPDAT1	0出力	D1	LD1	0出力	D1	D1	D1	LD1	LD1	R1	R2	R4
FPDAT2	0出力	D2	LD2	0出力	D2	D2	D2	LD2	LD2	R0	R1	R3
FPDAT3	0出力	D3	LD3	0出力	D3	D3	D3	LD3	LD3	G2	G3	G5
FPDAT4	D0	D4	UD0	D0	D4	D4	D4	UD0	UD0	G1	G2	G4
FPDAT5	D1	D5	UD1	D1	D5	D5	D5	UD1	UD1	G0	G1	G3
FPDAT6	D2	D6	UD2	D2	D6	D6	D6	UD2	UD2	B2	B3	B5
FPDAT7	D3	D7	UD3	D3	D7	D7	D7	UD3	UD3	B1	B2	B4
FPDAT8	0出力	0出力	0出力	0出力	0出力	0出力	D8	0出力	LD4	B0	B1	B3
FPDAT9	0出力	0出力	0出力	0出力	0出力	0出力	D9	0出力	LD5	0出力	R0	R2
FPDAT10	0出力	0出力	0出力	0出力	0出力	0出力	D10	0出力	LD6	0出力	0出力	R1
FPDAT11	0出力	0出力	0出力	0出力	0出力	0出力	D11	0出力	LD7	0出力	G0	G2
FPDAT12	0出力	0出力	0出力	0出力	0出力	0出力	D12	0出力	UD4	0出力	0出力	G1
FPDAT13	0出力	0出力	0出力	0出力	0出力	0出力	D13	0出力	UD5	0出力	0出力	G0
FPDAT14	0出力	0出力	0出力	0出力	0出力	0出力	D14	0出力	UD6	0出力	B0	B2
FPDAT15	0出力	0出力	0出力	0出力	0出力	0出力	D15	0出力	UD7	0出力	0出力	B1

*1: 18ビット TFT パネルについては、16ビット (65536色) までの出力となるため、R0とB0は使用しません。

S1D13505F00A

CRTインタフェース

CRTインタフェースの外付け回路を下図に示します。



CRTインタフェースの外付け回路

DC特性

絶対最大定格

記号	項目	定格	単位
V _{DD}	電源電圧	V _{SS} - 0.3 ~ 6.0	V
DACV _{DD}	電源電圧	V _{SS} - 0.3 ~ 6.0	V
V _{IN}	入力電圧	V _{SS} - 0.3 ~ V _{DD} + 0.5	V
V _{OUT}	出力電圧	V _{SS} - 0.3 ~ V _{DD} + 0.5	V
T _{STG}	保存温度	-65 ~ 150	°C
T _{SOL}	半田付け温度 / 時間	260°C / リード部で最大 10sec	°C

推奨動作条件

記号	項目	条件	Min.	Typ.	Max.	単位
V _{DD}	電源電圧	V _{SS} = 0V	2.7	3.0/3.3/5.0	5.5	V
V _{IN}	入力電圧		V _{SS}		V _{DD}	V
T _{OPR}	動作温度		-40	25	85	°C

電気的特性 (V_{DD} = 5.0, Typ.)

記号	項目	条件	Min.	Typ.	Max.	単位
I _{DD5}	静的消費電流	静止状態			400	μA
I _{Iz}	入力リーク電流		-1		1	μA
I _{Oz}	出力リーク電流		-1		1	μA
V _{OH}	高レベル出力電圧	V _{DD} = min I _{OL} = -4mA (Type1), -8mA (Type2), -12mA (Type3)	V _{DD} - 0.4			V
V _{OL}	低レベル出力電圧	V _{DD} = min I _{OL} = 4mA (Type1), 8mA (Type2), 12mA (Type3)			0.4	V
V _{IH}	高レベル入力電圧	CMOS レベル、 V _{DD} = max	3.5			V
V _{IL}	低レベル入力電圧	CMOS レベル、 V _{DD} = min			1.0	V
V _{T+}	高レベル入力電圧	CMOS シュミット、 V _{DD} = 5.0V			4.0	V
V _{T-}	低レベル入力電圧	CMOS シュミット、 V _{DD} = 5.0V	0.8			V
V _{H1}	ヒステリシス電圧	CMOS シュミット、 V _{DD} = 5.0V	0.3			V
R _{PD}	プルダウン抵抗	V _I = V _{DD}	50	100	200	kΩ
C _I	入力ピン容量				12	pF
C _O	出力ピン容量				12	pF
C _{IO}	双方向ピン容量				12	pF

S1D13505F00A

電気的特性 (V_{DD} = 3.3, Typ.)

記号	項目	条件	Min.	Typ.	Max.	単位
I _{DD5}	静的消費電流	静止状態			290	μA
I _{Iz}	入力リーク電流		-1		1	μA
I _{Oz}	出力リーク電流		-1		1	μA
V _{OH}	高レベル出力電圧	V _{DD} = min I _{OL} = -2mA (Type1), -4mA (Type2), -6mA (Type3)	V _{DD} - 0.3			V
V _{OL}	低レベル入力電圧	V _{DD} = min I _{OL} = 2mA (Type1), 4mA (Type2), 6mA (Type3)			0.3	V
V _{IH}	高レベル入力電圧	CMOS レベル、 V _{DD} = max	2.2			V
V _{IL}	低レベル入力電圧	CMOS レベル、 V _{DD} = min			0.8	V
V _{T+}	高レベル入力電圧	CMOS シュミット、 V _{DD} = 3.3V			2.4	V
V _{T-}	低レベル入力電圧	CMOS シュミット、 V _{DD} = 3.3V	0.6			V
V _{H1}	ヒステリシス電圧	CMOS シュミット、 V _{DD} = 3.3V	0.1			V
R _{PD}	プルダウン抵抗	V _I = V _{DD}	90	180	360	kΩ
C _I	入力ピン容量				12	pF
C _O	出力ピン容量				12	pF
C _{IO}	双方向ピン容量				12	pF

電気的特性 (V_{DD} = 3.0, Typ.)

記号	項目	条件	Min.	Typ.	Max.	単位
I _{DD5}	静的消費電流	静止状態			260	μA
I _{Iz}	入力リーク電流		-1		1	μA
I _{Oz}	出力リーク電流		-1		1	μA
V _{OH}	高レベル出力電圧	V _{DD} = min I _{OL} = -1.8mA (Type1), -3.5mA (Type2), -5mA (Type3)	V _{DD} - 0.3			V
V _{OL}	低レベル出力電圧	V _{DD} = min I _{OL} = 1.8mA (Type1), 3.5mA (Type2), 5mA (Type3)			0.3	V
V _{IH}	高レベル入力電圧	CMOS レベル、 V _{DD} = max	2.0			V
V _{IL}	低レベル入力電圧	CMOS レベル、 V _{DD} = min			0.8	V
V _{T+}	高レベル入力電圧	CMOS シュミット、 V _{DD} = 3.0V			2.3	V
V _{T-}	低レベル入力電圧	CMOS シュミット、 V _{DD} = 3.0V	0.5			V
V _{H1}	ヒステリシス電圧	CMOS シュミット、 V _{DD} = 3.0V	0.1			V
R _{PD}	プルダウン抵抗	V _I = V _{DD}	100	200	400	kΩ
C _I	入力ピン容量				12	pF
C _O	出力ピン容量				12	pF
C _{IO}	双方向ピン容量				12	pF

S1D13505F00A

本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

© SEIKO EPSON CORPORATION 2001

セイコーエプソン株式会社

電子デバイス営業本部

ED営業推進部 IC営業技術G

東日本

ED東京営業部 〒191-8501 東京都日野市日野421-8

東京IC営業G ☎(042) 587-5313(直通) FAX(042) 587-5116

西日本 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F

ED大阪営業部 ☎(06) 6120-6000(代表) FAX(06) 6120-6100

東海・北陸 〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F

ED名古屋営業部 ☎(052) 953-8031(代表) FAX(052) 953-8041

長野 〒392-8502 長野県諏訪市大和3-3-5

ED長野営業部 ☎(0266) 58-8171(直通) FAX(0266) 58-9917

東北 〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F

ED仙台営業所 ☎(022) 263-7975(代表) FAX(022) 263-7990

インターネットによる電子デバイスのご紹介

<http://www.epsondevice.com>

2001年10月改訂 ©

1998年11月作成 ™