



PCI Express[®] リファレンスクロックの Jitter 要求仕様

OUT-23-1692

【概要】

PCI Express (PCIe)は、PCI-SIG にて策定された高速シリアル・インターフェース規格の一つで、ポイント・ツー・ポイント接続による転送方式をとっている。PC の拡張バスとして広く普及した PCI バスは、インターネットによる情報量の増大に伴い転送速度の高速化が求められたが、パラレルインターフェースの転送速度の限界を迎え、PCI バスの後継でもある PCI Express が策定された。その帯域幅の広さから、PC だけではなくサーバ、ストレージや組み込み機器、ネットワーク機器のバックプレーンなど、大容量データ伝送を必要とするアプリケーションで採用されている。

本記事では、PCI Express におけるリファレンスクロックの Jitter 要求仕様に関する解説と、最適なエプソンのタイミングデバイスソリューションを紹介する。

なお、現時点において PCI Express 最新仕様は Gen6 (Revision 6.0.1, 2022/8/29 update)である。次期規格の Gen7 については現在策定中であるが、参考情報として一部解説に加えた。

【PCI Express 転送速度】

PCIe の転送速度は、物理層速度で 1 レーンあたり 2.5Gbps(Gen1), 5.0Gbps(Gen2), 8.0Gbps(Gen3)としており、Gen3 以降は 2 倍ずつ高速化させている。なお、PCIe では Gen1, 2 にて NRZ 8b/10b、Gen3, 4, 5 にて NRZ 128b/130b、Gen6 にて PAM-4 242B/256B Flit のエンコードを行うため、データリンク層速度（実効データ転送速度）は物理層速度よりも遅くなる。両者の違いを明確にするため、PCIe 物理層速度は Gbps ではなく GT/s の単位を用いることが多い。更に、レーンを複数束ねて速度を上げることも可能で、x1, x2, x4, x8, x16, x32, x64 が仕様化されている。

Table 1 に、1 レーン当たりの物理層速度、およびデータリンク層速度の一覧を示す（Gen7 draft についても参考掲載）。

Table 1 : PCIe 1 レーン当たりの通信速度

	物理層速度 [GT/s]	データリンク層速度 [Gbps (GB/s)]
PCIe Gen1	2.5	2 (0.25)
PCIe Gen2	5.0	4 (0.5)
PCIe Gen3	8.0	7.8769 (0.9846)
PCIe Gen4	16.0	15.7538 (1.9692)
PCIe Gen5	32.0	31.5072 (3.9384)
PCIe Gen6	64.0	60.5 (7.5625)
PCIe Gen7 (draft)	128.0	121 (15.125)



【リファレンスクロックのアーキテクチャとジッタ規格】

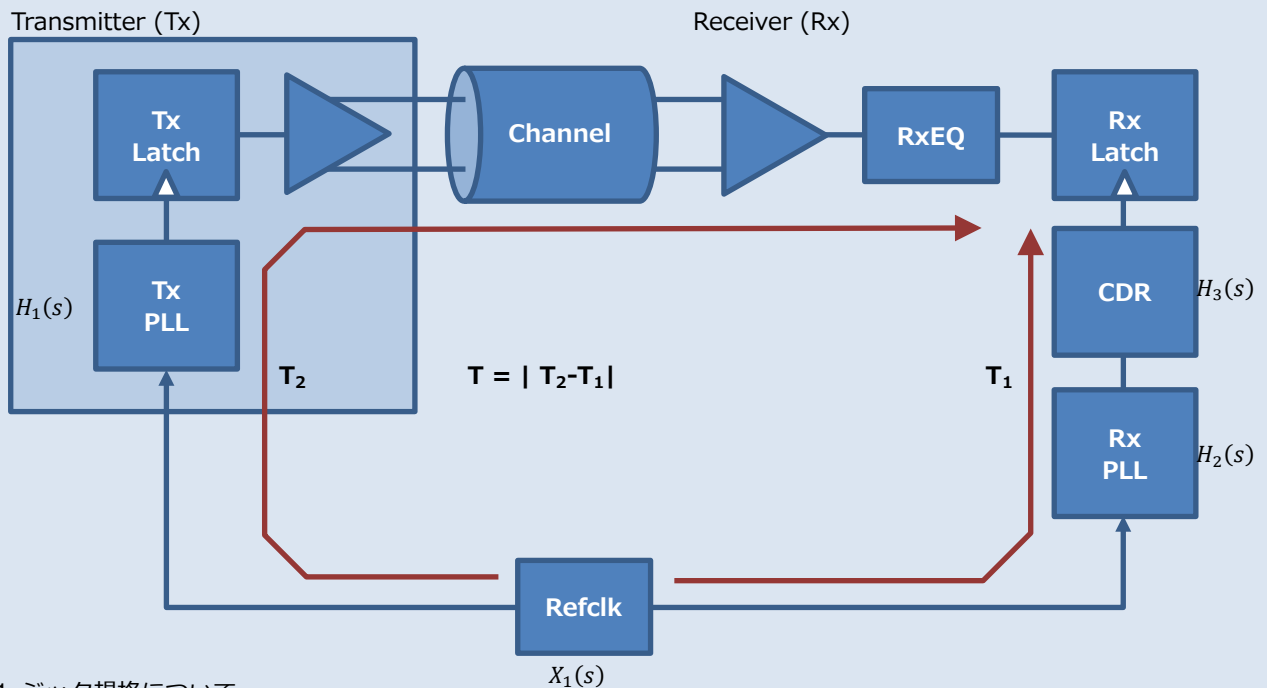
PCIe のリファレンスクロックの電氣的仕様は、HCSL(high-speed current steering logic)規格が適用される。周波数仕様については、入力周波数を 100 MHz、周波数偏差を ± 300 ppm としている。そして、PCIe ではリファレンスクロックの伝送方法によって下記の 4 つのアーキテクチャを定めている。

1. Common Refclk Rx Architecture
2. Data Clocked Rx Architecture
3. Separate Refclk with No SSC (SRNS) Architecture
4. Separate Refclk with Independent SSC (SRIS) Architecture

各アーキテクチャと Gen1~6 に応じて、それぞれにジッタ規格値を定めている。

以下、その 4 つのアーキテクチャの説明と、それぞれに対応するジッタ規格を記す。

1. Common Refclk Rx Architecture



1.1 ジッタ規格について

このアーキテクチャは、1つのクロック源から送信側(Tx)と受信側(Rx)にリファレンスクロックを供給する構成としている。

リファレンスクロックの位相ノイズを $X_1(s)$ 、ジッタ伝達関数を $H_{CC}(s)$ とすると、Rxで観測されるリファレンスクロックの位相ノイズ $X_{CC}(s)$ は下記の式で表される。

$$X_{CC}(s) = X_1(s) \cdot H_{CC}(s)$$

$X_{CC}(s)$ は位相ノイズとして得られるため、積分することでジッタに換算し、規格と照らし合わせて合否判定を行う。

$H_{CC}(s)$ は、上図のTxおよびRx PLL, CDRそれぞれのジッタ伝達関数 $H_1(s)$, $H_2(s)$, $H_3(s)$ の合成となる。これらは Equation 1 で表され、固有角周波数 ω_n 、ダンピングファクタ ζ を用いて表現される。各 PCIe Gen 毎に定義された $H_{CC}(s)$, ω_n , ζ および $X_{CC}(s)$ から導出されるジッタに対する規格値を Table 2 にまとめる。PCIe Gen 毎に関数合成方法やパラメータ仕様値が異なるため、注意を要する。

1.2 本アーキテクチャについて

$X_1(s)$ のノイズ特性を持つリファレンスクロックは、2つに分岐されてTxおよびRx PLLに供給される。そして、TxおよびRx PLLではリファレンスクロックが所望の周波数に通倍される。リファレンスクロックのジッタは、PLLのループフィルタのカットオフ周波数以下の成分は通過し、カットオフ周波数以上の成分はカットされる。そのため、PLLはジッタに対してローパスフィルタの役割を示す。本アーキテクチャの場合、CDRにて観測されるジッタは、TxおよびRx PLLにてフィルタリングされたジッタの差分として見えることになる。PCIe仕様では、このジッタに対して規格を設けているため、リファレンスクロックのジッタに上記の考慮を加える必要がある。そこで、PCIe仕様では、各PLLを2nd Orderのジッタフィルタとみなし、ワーストケースの固有角周波数、およびダンピングファクタを設定してジッタ伝達関数を定義している。Gen1およびGen3以降では、CDR(Clock Data Recovery)も考慮に含め、CDRに対してGen4以前は1st Order、Gen5以降は2nd Orderのジッタフィルタとして固有角周波数とダンピングファクタを設定、ジッタ伝達関数を定義している。なお、このアーキテクチャにおいては、Tx PLLを経由したクロックとRx PLLを経由したクロック間に生じる最大伝搬遅延時間差を考慮する必要がある。伝搬遅延時間差を T とすると、 $H_{CC}(s)$ の式に含まれる e^{-sT} の項で伝搬遅延分を考慮している。



Equation 1 : Common Refclk Rx Architecture の各ブロックのジッタ伝達関数

Tx PLL Transfer Function

$$H_1(s) = \frac{2s\zeta_1\omega_{n1} + \omega_{n1}^2}{s^2 + 2s\zeta_1\omega_{n1} + \omega_{n1}^2}$$

Rx PLL Transfer Function

$$H_2(s) = \frac{2s\zeta_2\omega_{n2} + \omega_{n2}^2}{s^2 + 2s\zeta_2\omega_{n2} + \omega_{n2}^2}$$

CDR Transfer Function for Gen1, 3, 4

$$H_3(s) = \frac{s}{s + \omega_3}$$

CDR Transfer Function for Gen 5, 6

$$H_3(s) = \frac{s^2}{(s + \omega_0)(s + \omega_1)} \cdot \frac{s^2 + 2\zeta_{01}\omega_0 s + \omega_0^2}{s^2 + 2\zeta_{02}\omega_0 s + \omega_0^2} \cdot \frac{s}{s + \omega_{LF}}$$

Table 2 : Common Refclk Rx Architecture の各パラメーター一覧

		Jitter Transfer Function $H_{CC}(s)$	Natural angle frequency ω_n [Mrad/s]		Damping factor ζ	Transport Delay Delta T [ns Max.]	Jitter Limits
Gen1	Rev. 1.1	$[H_1(s) - H_2(s) \cdot e^{-sT}] \cdot H_3(s)$	PLL #1	ω_{n1}	$\zeta_1 = 0.54$	10	Rj : 4.7 ps RMS
			PLL #2	ω_{n2}	$\zeta_2 = 0.54$		
			CDR	$\omega_3 = 1.5 \cdot 2\pi$	—		
		—	—		—	Dj : 41.9 ps P-P	
	written in Gen4 or later	$[H_1(s) \cdot e^{-sT} - H_2(s)] \cdot H_3(s)$	PLL #1	$\omega_{n1} = 0.336$	$\zeta_1 = 14$	12	Dj : 86 ps p-p (SSC 残留ジッタを想定)
				$\omega_{n1} = 4.93$			
PLL #2			$\omega_{n1} = 5.09$	$\zeta_1 = 0.54$			
			$\omega_{n1} = 74.68$				
CDR	$\omega_3 = 1.5 \times 2\pi$	—					
Gen2	Rev. 2.1	$H_1(s) \cdot e^{-sT} - H_2(s)$	PLL #1	$\omega_{n1} = 1.82 \cdot 2\pi$	$\zeta_1 = 1.16$	12	3.1 ps RMS (1.5 MHz to Nyquist)
				$\omega_{n1} = 4.31 \cdot 2\pi$	$\zeta_1 = 0.54$		
			PLL #2	$\omega_{n2} = 8.61 \cdot 2\pi$	$\zeta_2 = 0.54$		
		—		—	3.0 ps RMS		
	written in Gen4 or later	$[H_1(s) \cdot e^{-sT} - H_2(s)] \cdot H_3(s)$	PLL #1	$\omega_{n1} = 1.12$	$\zeta_1 = 14$	12	3.1 ps RMS
				$\omega_{n1} = 3.58$			
				$\omega_{n1} = 11.01$	$\zeta_1 = 1.16$		
				$\omega_{n1} = 35.26$			
			PLL #2	$\omega_{n1} = 1.79$	$\zeta_1 = 14$		
				$\omega_{n1} = 3.58$			
$\omega_{n1} = 28.86$				$\zeta_1 = 0.54$			
$\omega_{n1} = 53.73$							
CDR	$\omega_3 = 5 \times 2\pi$	—					



Table 2 : Common Refclk Rx Architecture の各パラメータ一覧 (続き)

	Jitter Transfer Function $H_{CC}(s)$	Natural angle frequency ω_n [Mrad/s]		Damping factor ζ	Transport Delay Delta T [ns Max.]	Jitter Limits
Gen3 Rev. 3.1a	$[H_1(s) \cdot e^{-sT} - H_2(s)] \cdot H_3(s)$	PLL #1	$\omega_{n1} = 0.448$	$\zeta_1 = 14$	12	1.0 ps RMS
			$\omega_{n1} = 0.896$			
			$\omega_{n1} = 6.02$	$\zeta_1 = 0.73$		
			$\omega_{n1} = 12.04$			
		PLL #2	$\omega_{n2} = 0.448$	$\zeta_2 = 14$		
			$\omega_{n2} = 1.12$			
			$\omega_{n2} = 4.62$	$\zeta_2 = 1.15$		
		$\omega_{n2} = 11.53$				
CDR	$\omega_3 = 10 \times 2\pi$	—				
Gen4 Rev. 4.0	同上	同上		同上	同上	0.5 ps RMS
Gen5 Rev. 5.0	同上	PLL #1 PLL #2	$\omega_{n1} = 0.112$	$\zeta_1 = 14$	12	0.15 ps RMS
			$\omega_{n1} = 0.403$			
			$\omega_{n1} = 1.50$	$\zeta_1 = 0.73$		
			$\omega_{n1} = 5.42$			
		CDR	$\omega_0 = 20 \times 2\pi$	$\zeta_a = 1/\sqrt{2}$		
			$\omega_1 = 1.1 \times 2\pi$	$\zeta_b = 1$		
$\omega_{LF} = 0.16 \times 2\pi$						
Gen6 Rev. 6.0.1	同上	PLL #1 PLL #2	$\omega_{n1} = 0.112$	$\zeta_1 = 14$	12	0.1 ps RMS
			$\omega_{n1} = 0.224$			
			$\omega_{n1} = 1.50$	$\zeta_1 = 0.73$		
			$\omega_{n1} = 3.00$			
		CDR	$\omega_0 = 10 \times 2\pi$	$\zeta_a = 1/\sqrt{2}$		
			$\omega_1 = 3.88 \times 2\pi$	$\zeta_b = 1$		
$\omega_{LF} = 0.087 \times 2\pi$						

*各関数式およびパラメータは、下記文献より引用

PCI Express Card Electromechanical Specification Revision 1.1 p.19

PCI Express Jitter and BER Revision 1.0 p.23

PCI Express Base Specification Revision 2.1 p.308

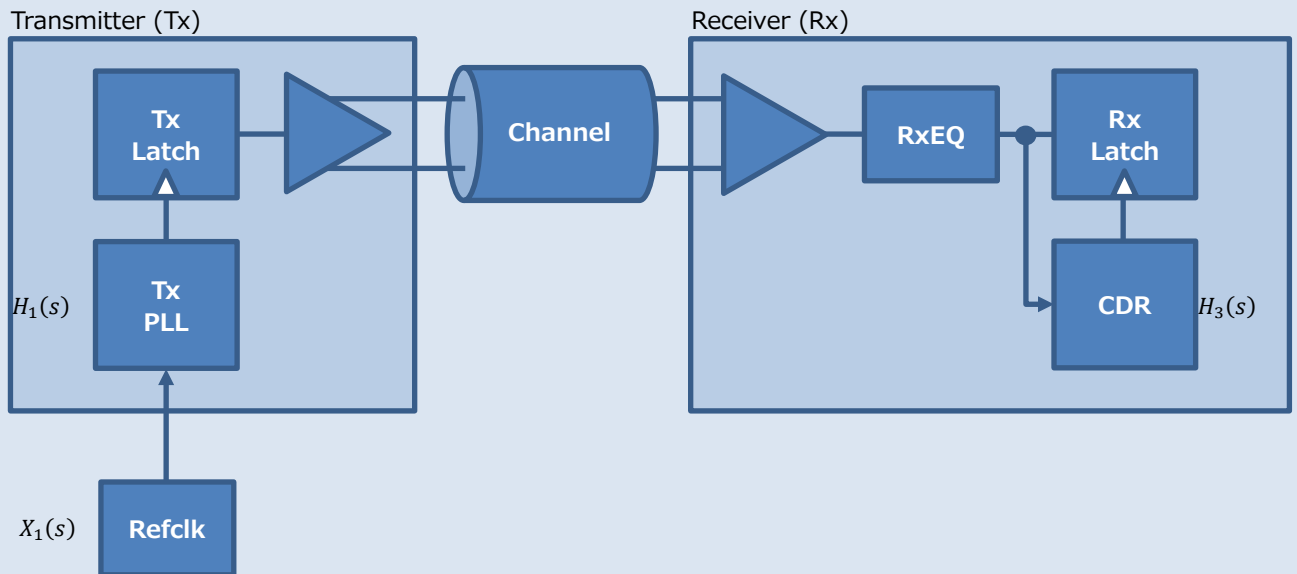
PCI Express Base Specification Revision 3.1a p.435~436

PCI Express Base Specification Revision 4.0 p.1088

PCI Express Base Specification Revision 5.0 p.1023, p.1095

PCI Express Base Specification Revision 6.0.1 p.1344, p.1430

2. Data Clocked Rx Architecture



2.1 ジッタ規格について

このアーキテクチャは、Rx に直接リファレンスクロックは供給されず、データに埋め込まれたクロック情報を元に CDR で再生したクロックを用いる構成としている。リファレンスクロックの位相ノイズを $X_1(s)$ 、ジッタ伝達関数を $H_{DC}(s)$ とすると、Rx で観測されるリファレンスクロックの位相ノイズ $X_{DC}(s)$ は下記の式で表される。

$$X_{DC}(s) = X_1(s) \cdot H_{DC}(s)$$

$H_{DC}(s)$ は、上図の Tx PLL, CDR それぞれのジッタ伝達関数 $H_1(s)$, $H_3(s)$ の合成となる。 $H_1(s)$, $H_3(s)$ は Equation 2 で表される。 $H_{DC}(s)$ についても、PCIe Gen 毎に関数合成方法やパラメータ仕様値が異なる。それぞれに定義されたジッタ伝達関数 $H_{DC}(s)$ 、固有角周波数 ω_n 、ダンピングファクタ ζ 、および $X_{DC}(s)$ から導出されるジッタに対する規格値を Table 3 にまとめる。

2.2 本アーキテクチャについて

$X_1(s)$ のノイズ特性を持つリファレンスクロックは、Tx PLL に供給されジッタがフィルタリングされる。Tx PLL で通倍されたクロックは、データに埋め込まれ Rx へ伝送され、CDR に入力される。CDR では、一般に PLL 回路を用いて、データに埋め込まれたクロックを再生する。CDR に内蔵する PLL 回路の動作を考えると、入力するデータに含まれるジッタのうち、PLL のループフィルタのカットオフ周波数以下はジッタに追従(通過)し、カットオフ周波数以上はジッタに追従できない(遮断)という特性でクロックを再生/出力することから、PLL はローパスフィルタのジッタ伝達関数を示す。しかし、データとクロックの相対的関係を考えた場合、カットオフ周波数以下はジッタに追従するため、データとクロック間にズレが発生せずジッタが吸収されるが、カットオフ周波数以上はジッタに追従できないため、データとクロック間にズレが発生しジッタが吸収されないことから、CDR はハイパスフィルタのジッタ伝達関数となる。

PCIe Gen1 では、本アーキテクチャは定義されていない。Gen2 では、CDR のジッタ伝達関数は考慮されず、Gen3 にて 2nd Order のジッタフィルタとして CDR のジッタ伝達関数を定義している。なお、Gen4 以降においては、本アーキテクチャは定義されていない。



Equation 2 : Data Clocked Rx Architecture の各ブロックのジッタ伝達関数

$$H_1(s) = \frac{2s\zeta_1\omega_{n1} + \omega_{n1}^2}{s^2 + 2s\zeta_1\omega_{n1} + \omega_{n1}^2} \quad \dots \text{Tx PLL Transfer Function}$$

$$H_3(s) = \frac{2s\zeta_3\omega_{n3} + \omega_{n3}^2}{s^2 + 2s\zeta_3\omega_{n3} + \omega_{n3}^2} \quad \dots \text{CDR Transfer Function}$$

Table 3 : Data Clocked Rx Architecture の各パラメーター一覧

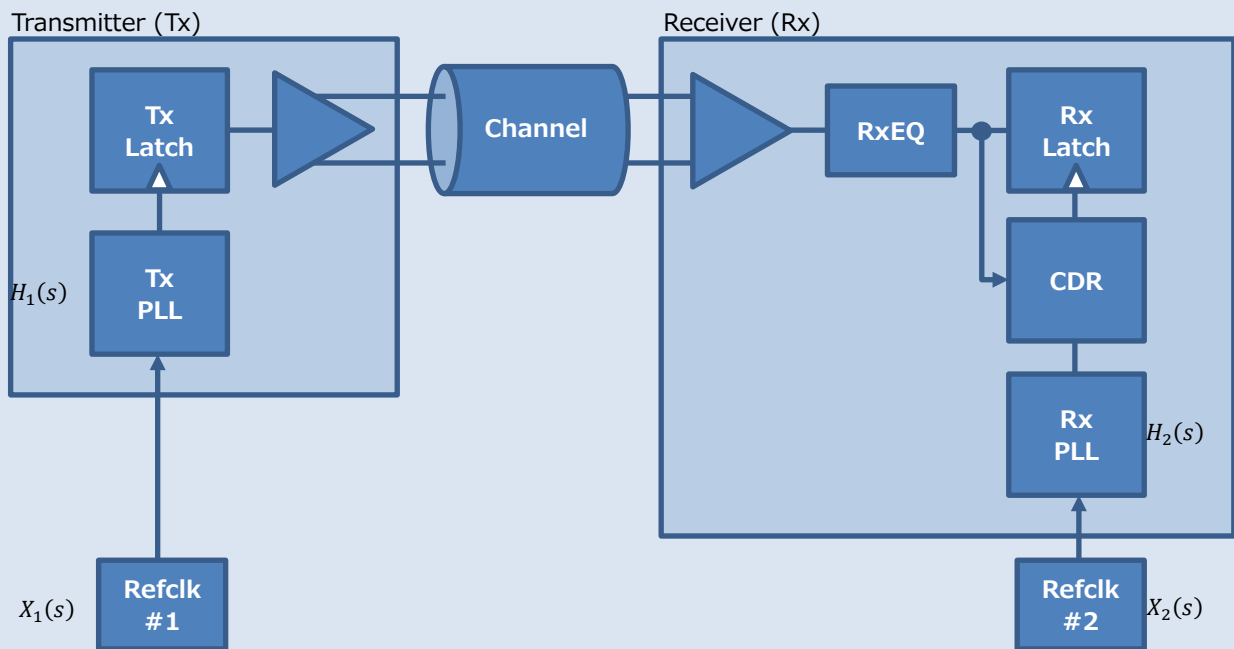
	Jitter Transfer Function $H_{DC}(s)$	Natural angle freq. ω_n [Mrad/s]	Damping factor ζ	Jitter Limits
Gen1 Rev. 1.1	Not defined			
Gen2 Rev. 2.1	$H_1(s)$	$\omega_{n1} = 8.61 \cdot 2\pi$	$\zeta_1 = 0.54$	4.0 ps RMS (1.5MHz to Nyquist)
			$\zeta_1 = 1.75$	
	—	—	—	7.5 ps RMS (10kHz to 1.5MHz)
Gen3 Rev. 3.1a	$H_1(s) \cdot [1 - H_3(s)]$	$\omega_{n1} = 0.448$	$\zeta_1 = 14$	1.0 ps RMS
		$\omega_{n1} = 0.896$		
		$\omega_{n1} = 1.12$		
		$\omega_{n1} = 4.62$	$\zeta_1 = 1.15$	
		$\omega_{n1} = 11.53$		
		$\omega_{n1} = 6.02$	$\zeta_1 = 0.73$	
		$\omega_{n1} = 12.04$		
		$\omega_{n3} = 16.57$	$\zeta_3 = 1.75$	
		$\omega_{n3} = 33.8$	$\zeta_3 = 0.73$	
Gen4 以降	Not defined			

*各関数式およびパラメータは、下記文献より引用

PCI Express Base Specification Revision 2.1 p.310

PCI Express Base Specification Revision 3.1a p.437~438

3. Separate Refclk with No SSC (SRNS) Architecture



3.1 ジッタ規格について

このアーキテクチャは、送信側(Tx)と受信側(Rx)それぞれにクロック源を用意し、個別にリファレンスクロックを供給する構成としている。なお、SSC(Spread Spectrum)機能付きリファレンスクロックの適用は許容されていない。リファレンスクロックの位相ノイズを $X_1(s)$, $X_2(s)$ 、Tx および Rx PLL のジッタ伝達関数を $H_1(s)$, $H_2(s)$ とすると、Rx で観測されるリファレンスクロックの位相ノイズ $X_{SRNS}(s)$ は下記の式で表される。

$$X_{SRNS}(s) = \sqrt{[X_1(s) * H_1(s)]^2 + [X_2(s) * H_2(s)]^2}$$

$$H_1(s) = \frac{2s\zeta_1\omega_{n1} + \omega_{n1}^2}{s^2 + 2s\zeta_1\omega_{n1} + \omega_{n1}^2} \quad \dots \text{Tx PLL Transfer Function}$$

$$H_2(s) = \frac{2s\zeta_2\omega_{n2} + \omega_{n2}^2}{s^2 + 2s\zeta_2\omega_{n2} + \omega_{n2}^2} \quad \dots \text{Rx PLL Transfer Function}$$

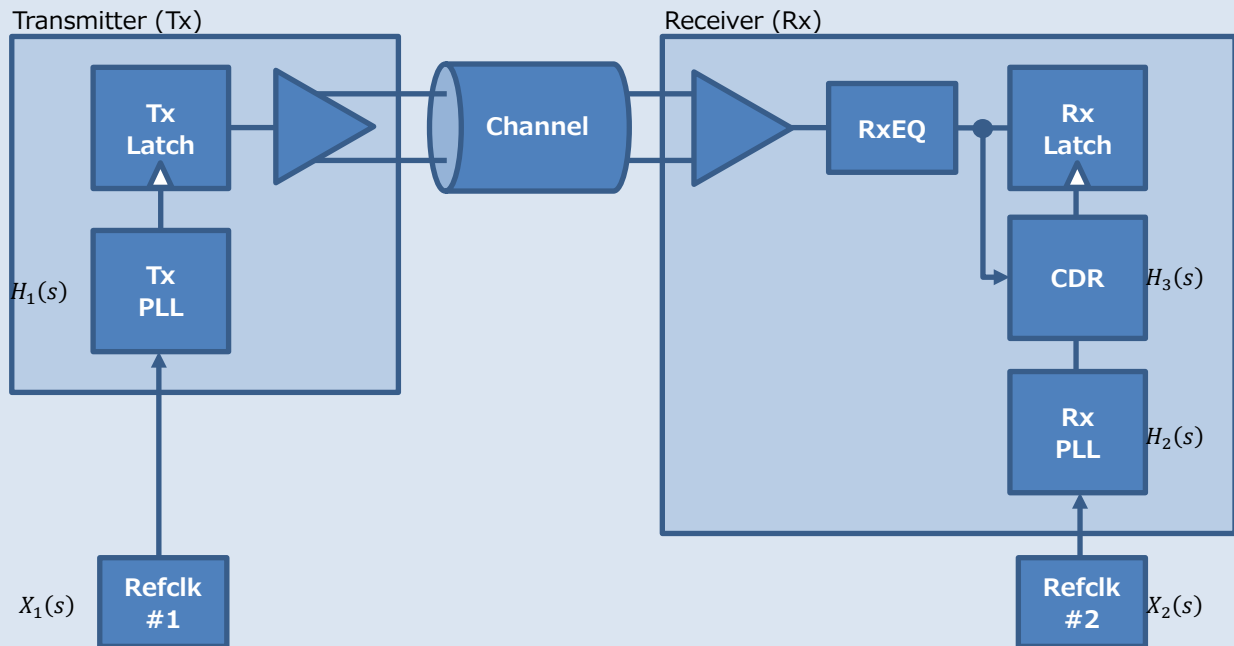
$X_{SRNS}(s)$ は、Tx および Rx PLL それぞれのジッタの二乗和平方根となるため、他の 2 つのアーキテクチャよりも厳しいジッタ条件となる。Gen2 および Gen3 において、Tx および Rx PLL のジッタ伝達関数における固有角周波数 ω_n 、ダンピングファクタ ζ は、 ω_{n1} , $\omega_{n2} = 8.61 \cdot 2\pi$, ζ_1 , $\zeta_2 = 0.54$ としている。しかし、本アーキテクチャには、 $X_{SRNS}(s)$ から導出されるジッタに対する規格値が設定されていない。

3.2 本アーキテクチャについて

それぞれ独立したノイズ特性 $X_1(s)$, $X_2(s)$ を持つリファレンスクロックが、Tx および Rx PLL にてジッタがフィルタリングされて Rx に供給される。これらのジッタは、主に Random Jitter となるため、Rx にて観測されるジッタは、Tx および Rx PLL それぞれのジッタの二乗和平方根を計算することによって合成することができる。

PCIe Gen1 では、本アーキテクチャは定義されておらず、Gen2 以降にて定義している。なお、Gen4 以降においては、「Independent Refclk Architecture」の一つとしてサポートされている。

4. Separate Refclk with Independent SSC (SRIS) Architecture



4.1 ジッタ規格について

このアーキテクチャは、送信側(Tx)と受信側(Rx)それぞれに SSC を用意し、個別に SSC をリファレンスクロックとして供給する構成としている。リファレンスクロックの位相ノイズを $X_1(s)$, $X_2(s)$ 、Tx および Rx PLL のジッタ伝達関数を $H_1(s)$, $H_2(s)$ 、CDR のジッタ伝達関数を $H_3(s)$ とすると、Rx で観測されるリファレンスクロックの位相ノイズ $X_{SRIS}(s)$ は下記の式で表される。

$$X_{SRIS}(s) = \sqrt{[X_1(s) * H_1(s) * H_3(s)]^2 + [X_2(s) * H_2(s) * H_3(s)]^2}$$

$$H_1(s) = \frac{2s\zeta_1\omega_{n1} + \omega_{n1}^2}{s^2 + 2s\zeta_1\omega_{n1} + \omega_{n1}^2} \quad \dots \text{Tx PLL Transfer Function}$$

$$H_2(s) = \frac{2s\zeta_2\omega_{n2} + \omega_{n2}^2}{s^2 + 2s\zeta_2\omega_{n2} + \omega_{n2}^2} \quad \dots \text{Rx PLL Transfer Function}$$

なお、CDR に対しては、2nd Order ハイパスフィルタとしてジッタ伝達関数を定義している。Gen2 については、下記の式で表される。各 Gen におけるジッタ伝達関数、および $X_{SRIS}(s)$ から導出されるジッタ規格値は Table 4 参照のこと。

$$H_3(s) = \frac{s^2}{s^2 + 2s\zeta\omega_m + \omega_m^2} \quad \dots \text{CDR Transfer Function for Gen2}$$

4.2 本アーキテクチャについて

それぞれ独立したノイズ特性 $X_1(s)$, $X_2(s)$ を持つリファレンスクロックが、Tx および Rx PLL にてジッタがフィルタリングされて CDR に供給される。それらのクロック間には SSC による位相ドリフトが存在するが、CDR おいて位相ドリフトに追従した再生クロックを生成することで、位相ドリフトは除去される。それと同時に各クロックに含まれるジッタ成分も、CDR にてフィルタリングされる。これらのジッタは、主に Random Jitter となるため、Rx にて観測されるジッタは、Tx および Rx PLL それぞれのジッタの二乗和平方根を計算することによって合成することができる。

PCIe Gen1 では、本アーキテクチャは定義されておらず、Gen2 以降にて定義している。なお、Gen4 以降においては、「Independent Refclk Architecture」の一つとしてサポートされており、CDR function のみが定義されている。



Table 4 : SRIS Architecture の各パラメーター一覧

	Jitter Transfer Function	Natural angle freq. ω [Mrad/s]	Damping factor ζ	Jitter Limits
Gen1 Rev. 1.1	Not defined			
Gen2 written in Gen3	$H_1(s) = \frac{2s\zeta_1\omega_{n1} + \omega_{n1}^2}{s^2 + 2s\zeta_1\omega_{n1} + \omega_{n1}^2}$	$\omega_{n1} = 8.61 \cdot 2\pi$	$\zeta_1 = 0.54$	2.0 ps RMS
	$H_2(s) = \frac{2s\zeta_2\omega_{n2} + \omega_{n2}^2}{s^2 + 2s\zeta_2\omega_{n2} + \omega_{n2}^2}$	$\omega_{n2} = 8.61 \cdot 2\pi$	$\zeta_2 = 0.54$	
	$H_3(s) = \frac{s^2}{s^2 + 2s\zeta\omega_m + \omega_m^2}$	$\omega_m = 4.86 \cdot 2\pi$	$\zeta = 0.707$	
Gen3 Rev. 3.1a	$H_1(s) = \frac{2s\zeta_1\omega_{n1} + \omega_{n1}^2}{s^2 + 2s\zeta_1\omega_{n1} + \omega_{n1}^2}$	$\omega_{n1} = 8.61 \cdot 2\pi$	$\zeta_1 = 0.54$	0.5 ps RMS
	$H_2(s) = \frac{2s\zeta_2\omega_{n2} + \omega_{n2}^2}{s^2 + 2s\zeta_2\omega_{n2} + \omega_{n2}^2}$	$\omega_{n2} = 8.61 \cdot 2\pi$	$\zeta_2 = 0.54$	
	$H_3(s) = \frac{s^2}{s^2 + sA + B} \cdot \frac{s^2 + 2s\zeta_{02}\omega_0 + \omega_0^2}{s^2 + 2s\zeta_{01}\omega_0 + \omega_0^2}$ $A = 10^7 \times 2\pi$ $B = 2.2 \times 10^{12} \times (2\pi)^2$	$\omega_0 = 10^7 \cdot 2\pi$	$\zeta_{01} = 0.707$ $\zeta_{02} = 1$	
Gen4 Rev. 4.0	Defined only CDR function. $H_3(s) = \frac{s^2}{s^2 + sA + B} \cdot \frac{s^2 + 2s\zeta_{02}\omega_0 + \omega_0^2}{s^2 + 2s\zeta_{01}\omega_0 + \omega_0^2} \cdot \frac{s}{s + \omega_1}$ $A = 9.5 \times 10^6 \times 2\pi$ $B = 4.36 \times 10^{12} \times (2\pi)^2$	$\omega_0 = 10^7 \cdot 2\pi$ $\omega_1 = 4 \times 10^5 \cdot 2\pi$	$\zeta_{01} = 0.707$ $\zeta_{02} = 1$	—
Gen5 Rev. 5.0	Defined only CDR function. $H_3(s) = \frac{s^2}{(s + \omega_0) \cdot (s + \omega_1)} \cdot \frac{s^2 + 2\zeta_{01}\omega_0s + \omega_0^2}{s^2 + 2\zeta_{02}\omega_0s + \omega_0^2} \cdot \frac{s}{s + \omega_{LF}}$	$\omega_0 = 20 \times 10^6 \times 2\pi$ $\omega_1 = 1.1 \times 10^6 \times 2\pi$ $\omega_{LF} = 160 \times 10^3 \times 2\pi$	$\zeta_{01} = \frac{1}{\sqrt{2}}$ $\zeta_{02} = 1$	—
Gen6 Rev. 6.0.1	同上	$\omega_0 = 10 \times 10^6 \times 2\pi$ $\omega_1 = 3.88 \times 10^6 \times 2\pi$ $\omega_{LF} = 87 \times 10^3 \times 2\pi$	$\zeta_{01} = \frac{1}{\sqrt{2}}$ $\zeta_{02} = 1$	—

*各関数式およびパラメータは、下記文献より引用

PCI Express Base Specification Revision 3.1a p.432~433, 439

PCI Express Base Specification Revision 4.0 p.1033

PCI Express Base Specification Revision 5.0 p.1022~1023

PCI Express Base Specification Revision 6.0.1 p.1344

【弊社発振器 SG3225HBN の PCIe ジッタ結果】

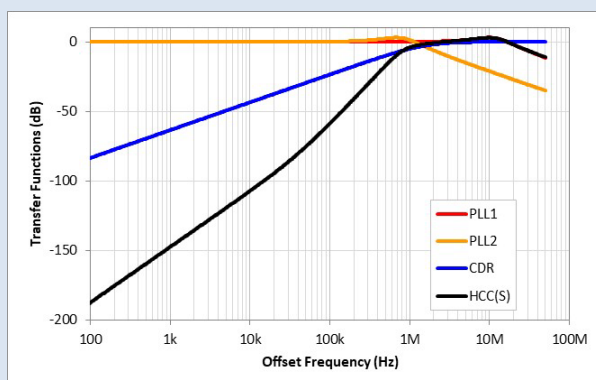
弊社 HCSL 出力発振器 SG3225HBN の位相ノイズに、各アーキテクチャが要求するジッタ伝達関数を適用し、ジッタに換算した結果および規格値を以下に示す。なお、SRNS は規格値がないため、SRIS は SG3225HBN が SSC ではないため対象外とした。一例として、黄色の条件下でのジッタ伝達関数、およびジッタ伝達関数適用前後の SG3225HBN 位相ノイズのグラフも掲載した。全ての条件において、SG3225HBN は Pass 判定となっている。SG3225HBN 詳細仕様は、[こちら](#)

<Gen1 (Rev. 1.1)>

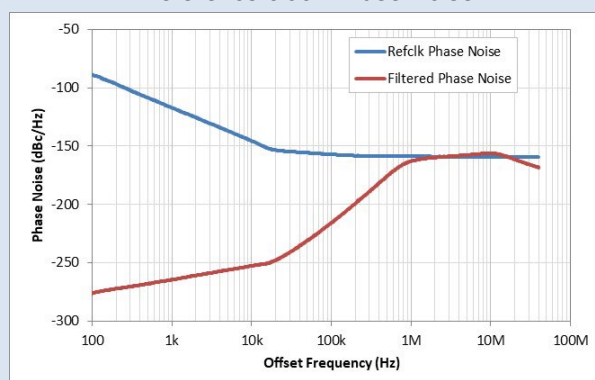
Architecture	PLL1 ω [Mrad/s]	PLL1 ζ	PLL2 ω [Mrad/s]	PLL2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]
Common Refclk Rx	Rj [RMS]	11.83 $\cdot 2\pi$	0.54	0.807 $\cdot 2\pi$	0.54	1.5 $\cdot 2\pi$	NA
	Dj [P-P]	—	—	—	—	—	—

Jitter [ps]	Pass/Fail
Result	Spec.
0.139	4.7
0	41.9

Jitter Transfer Functions



Reference clock Phase Noise

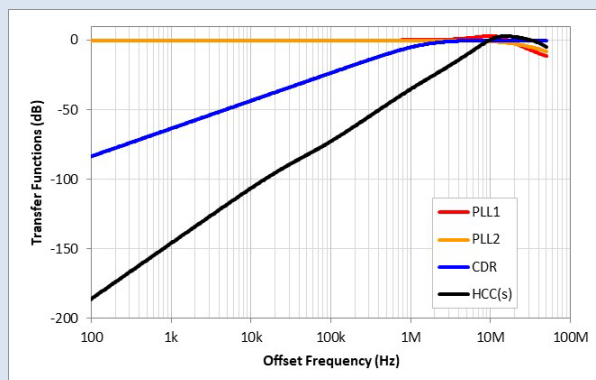


<Gen1 (written in Gen4 or later)>

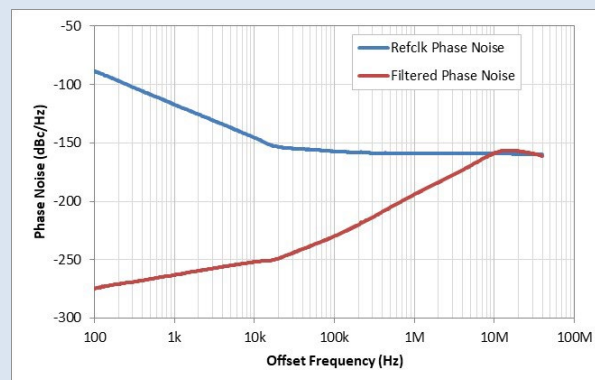
Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]
Common Refclk Rx	0.336	14	0.336	14	9.42	—	12
	4.93	14	0.336	14	9.42	—	12
	5.09	0.73	0.336	14	9.42	—	12
	74.68	0.73	0.336	14	9.42	—	12
	0.336	14	4.93	14	9.42	—	12
	4.93	14	4.93	14	9.42	—	12
	5.09	0.73	4.93	14	9.42	—	12
	74.68	0.73	4.93	14	9.42	—	12
	0.336	14	5.09	1.15	9.42	—	12
	4.93	14	5.09	1.15	9.42	—	12
	5.09	0.73	5.09	1.15	9.42	—	12
	74.68	0.73	5.09	1.15	9.42	—	12
	0.336	14	74.68	1.15	9.42	—	12
	4.93	14	74.68	1.15	9.42	—	12
	5.09	0.73	74.68	1.15	9.42	—	12
	74.68	0.73	74.68	1.15	9.42	—	12

Jitter [ps RMS]	Dj Result	Dj Spec.	Pass/Fail
0.015	0	86	Pass
0.106			
0.019			
0.127			
0.122			
0.149			
0.122			
0.167			
0.015			
0.112			
0.009			
0.132			
0.140			
0.126			
0.141			
0.145			

Jitter Transfer Functions



Reference clock Phase Noise



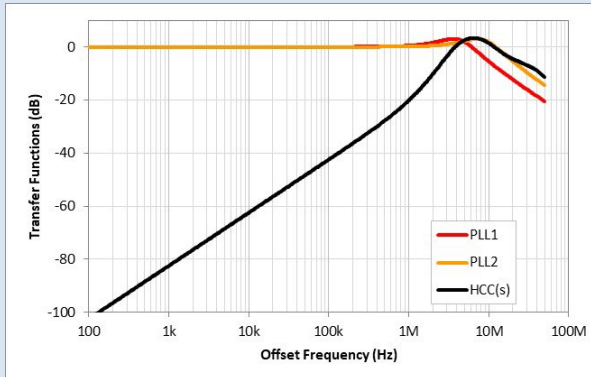


<Gen2 (Rev. 2.1)>

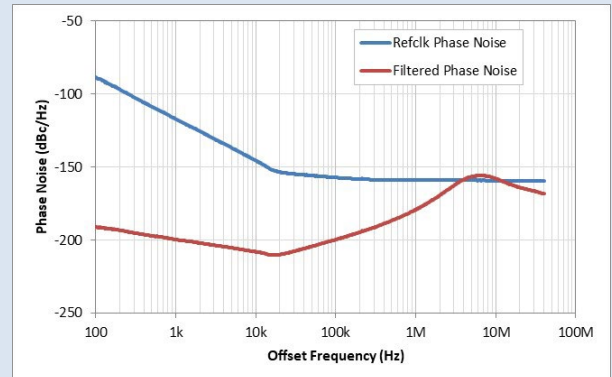
Architecture		PLL1 ω [Mrad/s]	PLL1 ζ	PLL2 ω [Mrad/s]	PLL2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]
Common Refclk Rx	1.5 MHz to Nyquist	$1.82 \cdot 2\pi$	1.16	$8.61 \cdot 2\pi$	0.54	—	—	12
		$4.31 \cdot 2\pi$	0.54	$8.61 \cdot 2\pi$	0.54	—	—	12
	10 kHz to 1.5 MHz	—	—	—	—	—	—	—
Data Clocked Rx	1.5 MHz to Nyquist	$8.61 \cdot 2\pi$	0.54	—	—	—	—	—
		$8.61 \cdot 2\pi$	1.75	—	—	—	—	—
	10 kHz to 1.5 MHz	—	—	—	—	—	—	—

Jitter [ps RMS]		Pass/Fail
Result	Spec.	
0.113	3.1	Pass
0.120		Pass
0.033	4.0	Pass
0.120		Pass
0.140		Pass
0.033	7.5	Pass

Jitter Transfer Functions



Reference clock Phase Noise



<Gen2 (written in Gen4 or later)>

Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]
Common Refclk Rx	1.12	14	1.79	14	31.42	—	12
	3.58	14	1.79	14	31.42	—	12
	11.01	1.16	1.79	14	31.42	—	12
	35.26	1.16	1.79	14	31.42	—	12
	1.79	14	1.79	14	31.42	—	12
	3.58	14	1.79	14	31.42	—	12
	28.86	0.54	1.79	14	31.42	—	12
	53.73	0.54	1.79	14	31.42	—	12
	1.12	14	3.58	14	31.42	—	12
	3.58	14	3.58	14	31.42	—	12
	11.01	1.16	3.58	14	31.42	—	12
	35.26	1.16	3.58	14	31.42	—	12
	1.79	14	3.58	14	31.42	—	12
	3.58	14	3.58	14	31.42	—	12
	28.86	0.54	3.58	14	31.42	—	12
	53.73	0.54	3.58	14	31.42	—	12
	1.12	14	28.86	0.54	31.42	—	12
	3.58	14	28.86	0.54	31.42	—	12
	11.01	1.16	28.86	0.54	31.42	—	12
	35.26	1.16	28.86	0.54	31.42	—	12
	1.79	14	28.86	0.54	31.42	—	12
	3.58	14	28.86	0.54	31.42	—	12
	28.86	0.54	28.86	0.54	31.42	—	12
	53.73	0.54	28.86	0.54	31.42	—	12
	1.12	14	53.73	0.54	31.42	—	12
	3.58	14	53.73	0.54	31.42	—	12
	11.01	1.16	53.73	0.54	31.42	—	12
	35.26	1.16	53.73	0.54	31.42	—	12
	1.79	14	53.73	0.54	31.42	—	12
	3.58	14	53.73	0.54	31.42	—	12
	28.86	0.54	53.73	0.54	31.42	—	12
	53.73	0.54	53.73	0.54	31.42	—	12

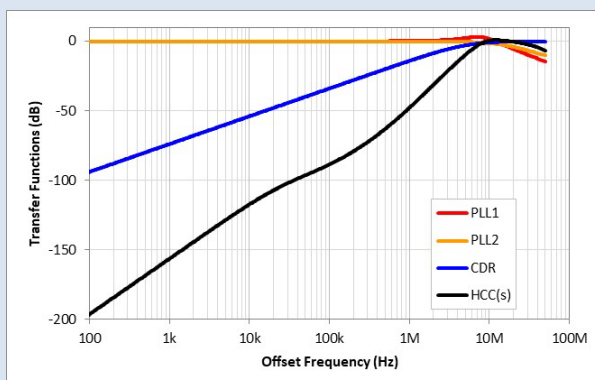
Jitter [ps RMS]		Pass/Fail
Result	Spec.	
0.064	3.1	Pass
0.085		Pass
0.065		Pass
0.085		Pass
0.069		Pass
0.085		Pass
0.076		Pass
0.095		Pass
0.102		Pass
0.118		Pass
0.102		Pass
0.120		Pass
0.107		Pass
0.118		Pass
0.113		Pass
0.130		Pass
0.047		Pass
0.073		Pass
0.049		Pass
0.069		Pass
0.051		Pass
0.073		Pass
0.051		Pass
0.076		Pass
0.093		Pass
0.090		Pass
0.097		Pass
0.092		Pass
0.089		Pass
0.090		Pass
0.104		Pass
0.099		Pass



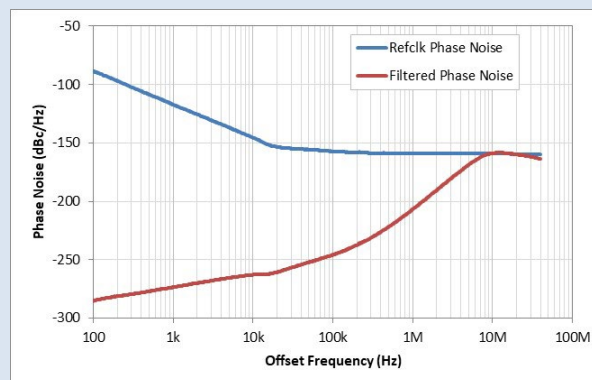
<Gen2 (written in Gen4 or later)> (続き)

Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]	Jitter [ps RMS]		Pass/Fail
								Result	Spec.	
Common Refclk Rx	1.12	14	1.12	14	31.42	—	12	0.045	3.1	Pass
	3.58	14	1.12	14	31.42	—	12	0.077		Pass
	11.01	1.16	1.12	14	31.42	—	12	0.045		Pass
	35.26	1.16	1.12	14	31.42	—	12	0.077		Pass
	1.79	14	1.12	14	31.42	—	12	0.054		Pass
	3.58	14	1.12	14	31.42	—	12	0.077		Pass
	28.86	0.54	1.12	14	31.42	—	12	0.058		Pass
	53.73	0.54	1.12	14	31.42	—	12	0.086		Pass
	1.12	14	3.58	14	31.42	—	12	0.102		Pass
	3.58	14	3.58	14	31.42	—	12	0.118		Pass
	11.01	1.16	3.58	14	31.42	—	12	0.102		Pass
	35.26	1.16	3.58	14	31.42	—	12	0.120		Pass
	1.79	14	3.58	14	31.42	—	12	0.107		Pass
	3.58	14	3.58	14	31.42	—	12	0.118		Pass
	28.86	0.54	3.58	14	31.42	—	12	0.113		Pass
	53.73	0.54	3.58	14	31.42	—	12	0.130		Pass
	1.12	14	11.01	1.16	31.42	—	12	0.039		Pass
	3.58	14	11.01	1.16	31.42	—	12	0.076		Pass
	11.01	1.16	11.01	1.16	31.42	—	12	0.038		Pass
	35.26	1.16	11.01	1.16	31.42	—	12	0.075		Pass
	1.79	14	11.01	1.16	31.42	—	12	0.050		Pass
	3.58	14	11.01	1.16	31.42	—	12	0.076		Pass
	28.86	0.54	11.01	1.16	31.42	—	12	0.052		Pass
	53.73	0.54	11.01	1.16	31.42	—	12	0.084		Pass
	1.12	14	35.26	1.16	31.42	—	12	0.095		Pass
	3.58	14	35.26	1.16	31.42	—	12	0.105		Pass
	11.01	1.16	35.26	1.16	31.42	—	12	0.096		Pass
	35.26	1.16	35.26	1.16	31.42	—	12	0.107		Pass
	1.79	14	35.26	1.16	31.42	—	12	0.097		Pass
	3.58	14	35.26	1.16	31.42	—	12	0.105		Pass
	28.86	0.54	35.26	1.16	31.42	—	12	0.105		Pass
	53.73	0.54	35.26	1.16	31.42	—	12	0.117		Pass

Jitter Transfer Functions



Reference clock Phase Noise





<Gen3 (Rev. 3.1a) & Gen4 (Rev. 4.0)>

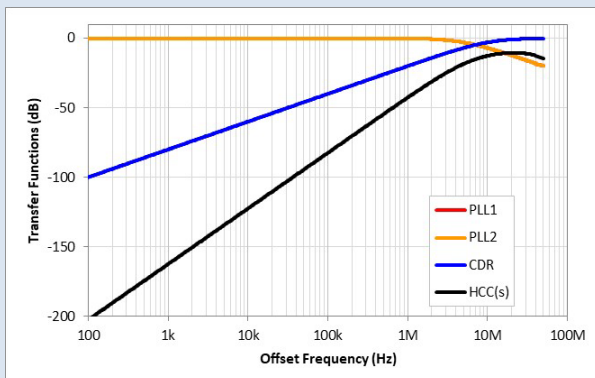
Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]	Jitter [ps RMS]		Pass/Fail
								Result	Spec.	
Common Refclk Rx	0.448	14	0.448	14	62.83	—	12	0.017	Gen3 : 1.0 Gen4 : 0.5	Pass
	0.896	14	0.448	14	62.83	—	12	0.026		Pass
	6.02	0.73	0.448	14	62.83	—	12	0.016		Pass
	12.04	0.73	0.448	14	62.83	—	12	0.022		Pass
	0.448	14	0.448	14	62.83	—	12	0.017		Pass
	1.12	14	0.448	14	62.83	—	12	0.031		Pass
	4.62	1.15	0.448	14	62.83	—	12	0.016		Pass
	11.53	1.15	0.448	14	62.83	—	12	0.028		Pass
	0.448	14	1.12	14	62.83	—	12	0.036		Pass
	0.896	14	1.12	14	62.83	—	12	0.039		Pass
	6.02	0.73	1.12	14	62.83	—	12	0.036		Pass
	12.04	0.73	1.12	14	62.83	—	12	0.038		Pass
	0.448	14	1.12	14	62.83	—	12	0.036		Pass
	1.12	14	1.12	14	62.83	—	12	0.041		Pass
	4.62	1.15	1.12	14	62.83	—	12	0.036		Pass
	11.53	1.15	1.12	14	62.83	—	12	0.041		Pass
	0.448	14	4.62	1.15	62.83	—	12	0.015		Pass
	0.896	14	4.62	1.15	62.83	—	12	0.026		Pass
	6.02	0.73	4.62	1.15	62.83	—	12	0.014		Pass
	12.04	0.73	4.62	1.15	62.83	—	12	0.021		Pass
	0.448	14	4.62	1.15	62.83	—	12	0.015		Pass
	1.12	14	4.62	1.15	62.83	—	12	0.031		Pass
	4.62	1.15	4.62	1.15	62.83	—	12	0.015		Pass
	11.53	1.15	4.62	1.15	62.83	—	12	0.028		Pass
	0.448	14	11.53	1.15	62.83	—	12	0.031		Pass
	0.896	14	11.53	1.15	62.83	—	12	0.034		Pass
	6.02	0.73	11.53	1.15	62.83	—	12	0.032		Pass
	12.04	0.73	11.53	1.15	62.83	—	12	0.033		Pass
	0.448	14	11.53	1.15	62.83	—	12	0.031		Pass
	1.12	14	11.53	1.15	62.83	—	12	0.037		Pass
	4.62	0.73	11.53	1.15	62.83	—	12	0.032		Pass
	11.53	0.73	11.53	1.15	62.83	—	12	0.033		Pass
	0.448	14	0.448	14	62.83	—	12	0.017		Pass
	0.896	14	0.448	14	62.83	—	12	0.026		Pass
	6.02	0.73	0.448	14	62.83	—	12	0.016		Pass
	12.04	0.73	0.448	14	62.83	—	12	0.022		Pass
	0.448	14	0.448	14	62.83	—	12	0.017		Pass
	1.12	14	0.448	14	62.83	—	12	0.031		Pass
	4.62	0.73	0.448	14	62.83	—	12	0.015		Pass
	11.53	0.73	0.448	14	62.83	—	12	0.021		Pass
	0.448	14	0.896	14	62.83	—	12	0.029		Pass
	0.896	14	0.896	14	62.83	—	12	0.033		Pass
	6.02	0.73	0.896	14	62.83	—	12	0.030		Pass
	12.04	0.73	0.896	14	62.83	—	12	0.032		Pass
	0.448	14	0.896	14	62.83	—	12	0.029		Pass
	1.12	14	0.896	14	62.83	—	12	0.037		Pass
	4.62	0.73	0.896	14	62.83	—	12	0.029		Pass
	11.53	0.73	0.896	14	62.83	—	12	0.032		Pass
	0.448	14	6.02	0.73	62.83	—	12	0.014		Pass
	0.896	14	6.02	0.73	62.83	—	12	0.026		Pass
	6.02	0.73	6.02	0.73	62.83	—	12	0.012		Pass
	12.04	0.73	6.02	0.73	62.83	—	12	0.020		Pass
	0.448	14	6.02	0.73	62.83	—	12	0.014		Pass
	1.12	14	6.02	0.73	62.83	—	12	0.031		Pass
	4.62	0.73	6.02	0.73	62.83	—	12	0.011		Pass
	11.53	0.73	6.02	0.73	62.83	—	12	0.020		Pass



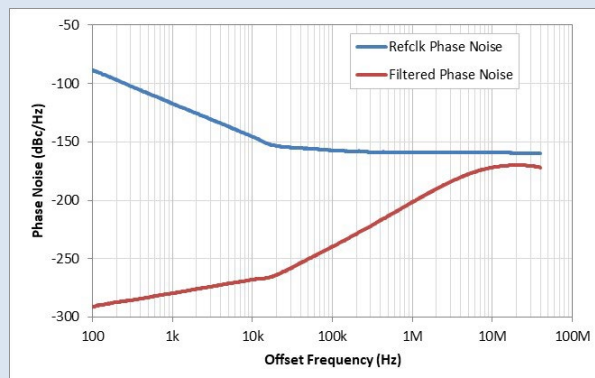
<Gen3 (Rev. 3.1a) & Gen4 (Rev. 4.0)> (続き)

Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]	Jitter [ps RMS]		Pass/Fail
								Result	Spec.	
Common Refclk Rx	0.896	14	12.04	0.73	62.83	—	12	0.022	Gen3 : 1.0	Pass
	6.02	14	12.04	0.73	62.83	—	12	0.027		Pass
	12.04	0.73	12.04	0.73	62.83	—	12	0.022		Pass
	0.448	0.73	12.04	0.73	62.83	—	12	0.024		Pass
	1.12	14	12.04	0.73	62.83	—	12	0.022	Gen4 : 0.5	Pass
	4.62	14	12.04	0.73	62.83	—	12	0.031		Pass
	11.53	0.73	12.04	0.73	62.83	—	12	0.022		Pass
	0.896	0.73	12.04	0.73	62.83	—	12	0.024		Pass

Jitter Transfer Functions



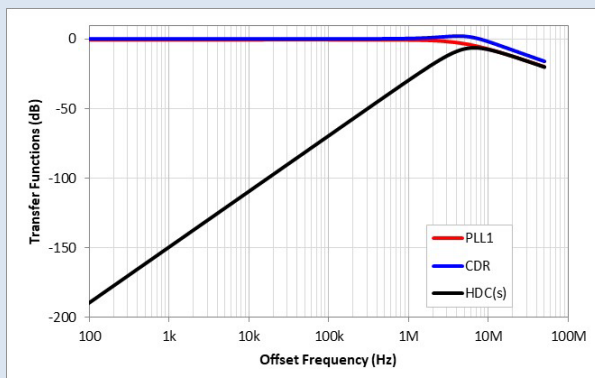
Reference clock Phase Noise



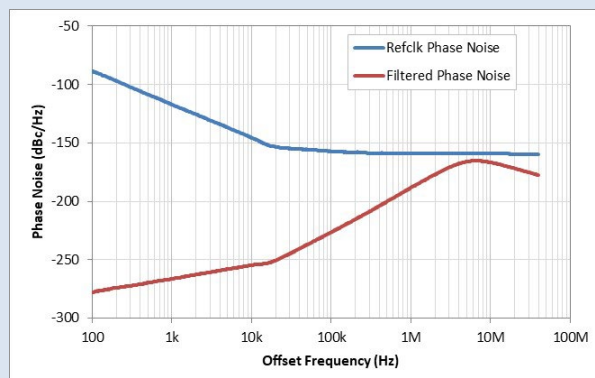
<Gen3 (Rev. 3.1a)>

Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]	Jitter [ps RMS]		Pass/Fail
								Result	Spec.	
Data Clocked Rx	0.448	14	—	—	16.57	1.75	—	0.017	1.0	Pass
	0.896	14	—	—	16.57	1.75	—	0.032		Pass
	1.12	14	—	—	16.57	1.75	—	0.038		Pass
	4.62	1.15	—	—	16.57	1.75	—	0.015		Pass
	11.53	1.15	—	—	16.57	1.75	—	0.035		Pass
	6.02	0.73	—	—	16.57	1.75	—	0.013		Pass
	12.04	0.73	—	—	16.57	1.75	—	0.026		Pass
	0.448	14	—	—	33.8	0.73	—	0.020		Pass
	0.896	14	—	—	33.8	0.73	—	0.036		Pass
	1.12	14	—	—	33.8	0.73	—	0.043		Pass
	4.62	1.15	—	—	33.8	0.73	—	0.017		Pass
	11.53	1.15	—	—	33.8	0.73	—	0.040		Pass
	6.02	0.73	—	—	33.8	0.73	—	0.015		Pass
	12.04	0.73	—	—	33.8	0.73	—	0.029		Pass

Jitter Transfer Functions



Reference clock Phase Noise

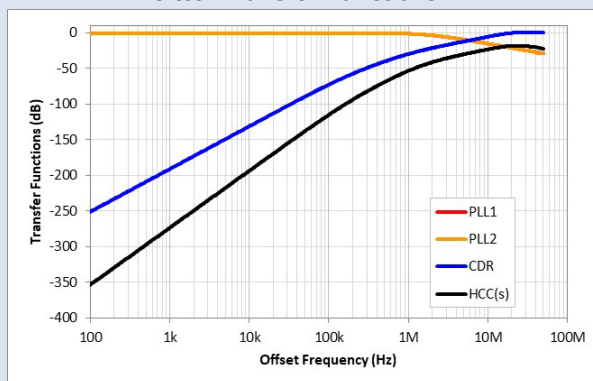




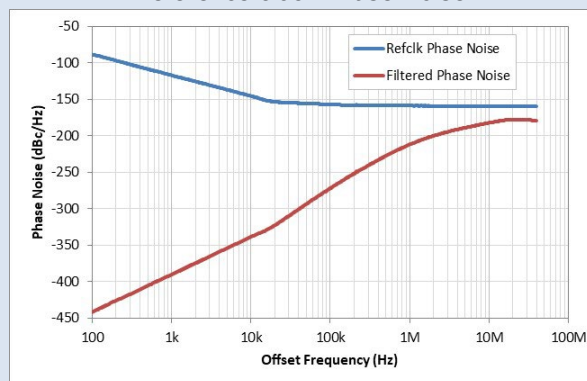
<Gen5 (Rev. 5.0)>

Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]	Jitter [ps RMS]		Pass/Fail
								Result	Spec.	
Common Refclk Rx	0.112	14	0.112	14	$\omega_0 = 20 \times 2\pi$ $\omega_1 = 1.1 \times 2\pi$ $\omega_{LF} = 0.16 \times 2\pi$	$\zeta_a = 1/\sqrt{2}$ $\zeta_b = 1$	12	0.005	0.15	Pass
	0.403	14	0.112	14			12	0.012		Pass
	1.50	0.73	0.112	14			12	0.004		Pass
	5.42	0.73	0.112	14			12	0.009		Pass
	0.112	14	0.403	14			12	0.013		Pass
	0.403	14	0.403	14			12	0.016		Pass
	1.50	0.73	0.403	14			12	0.013		Pass
	5.42	0.73	0.403	14			12	0.015		Pass
	0.112	14	1.50	0.73			12	0.004		Pass
	0.403	14	1.50	0.73			12	0.012		Pass
	1.50	0.73	1.50	0.73			12	0.003		Pass
	5.42	0.73	1.50	0.73			12	0.009		Pass
	0.112	14	5.42	0.73			12	0.009		Pass
	0.403	14	5.42	0.73			12	0.014		Pass
	1.50	0.73	5.42	0.73			12	0.009		Pass
	5.42	0.73	5.42	0.73			12	0.012		Pass

Jitter Transfer Functions



Reference clock Phase Noise

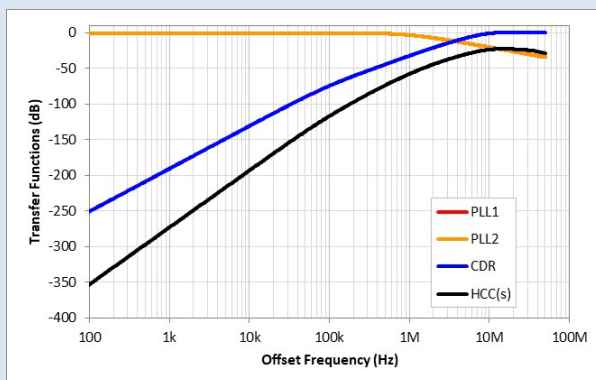




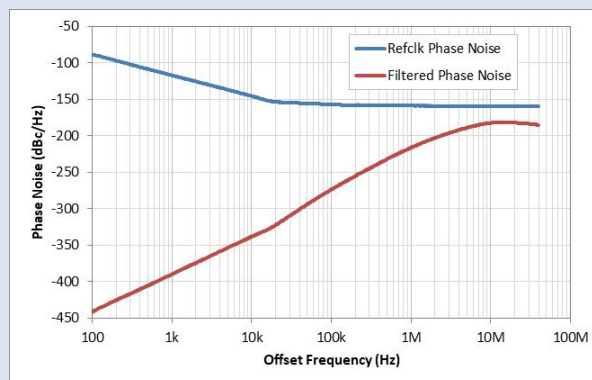
<Gen6 (Rev. 6.0.1)>

Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]	Jitter [ps RMS]		Pass/Fail
								Result	Spec.	
Common Refclk Rx	0.112	14	0.112	14	$\omega_0 = 10 \times 2\pi$ $\omega_1 = 3.88 \times 2\pi$ $\omega_{LF} = 0.087 \times 2\pi$	$\zeta_a = 1/\sqrt{2}$ $\zeta_b = 1$	12	0.005	0.15	Pass
	0.224	14	0.112	14			12	0.008		Pass
	1.50	0.73	0.112	14			12	0.004		Pass
	3.00	0.73	0.112	14			12	0.006		Pass
	0.112	14	0.224	14			12	0.009		Pass
	0.224	14	0.224	14			12	0.010		Pass
	1.50	0.73	0.224	14			12	0.009		Pass
	3.00	0.73	0.224	14			12	0.009		Pass
	0.112	14	1.50	0.73			12	0.004		Pass
	0.224	14	1.50	0.73			12	0.008		Pass
	1.50	0.73	1.50	0.73			12	0.003		Pass
	3.00	0.73	1.50	0.73			12	0.006		Pass
	0.112	14	3.00	0.73			12	0.006		Pass
	0.224	14	3.00	0.73			12	0.008		Pass
	1.50	0.73	3.00	0.73			12	0.006		Pass
	3.00	0.73	3.00	0.73			12	0.007		Pass

Jitter Transfer Functions



Reference clock Phase Noise



【弊社発振器 SG2016HHN/SG2520HHN, SG2016HGN/SG2520HGN の PCIe ジッタ測定結果】

弊社 HCSL 出力発振器 SG2016HHN/SG2520HHN, SG2016HGN/SG2520HGN に関しても、前項同様に確認した結果を以下に示す。全ての条件において Pass 判定となっている。

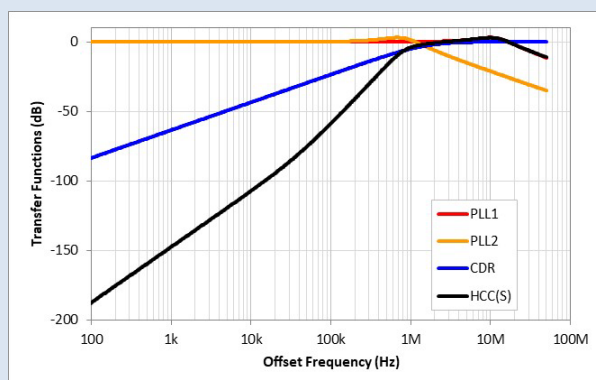
各製品の詳細仕様は、こちら→ [SG2016HHN](#), [SG2520HHN](#), [SG2016HGN](#), [SG2520HGN](#)

<Gen1 (Rev. 1.1)>

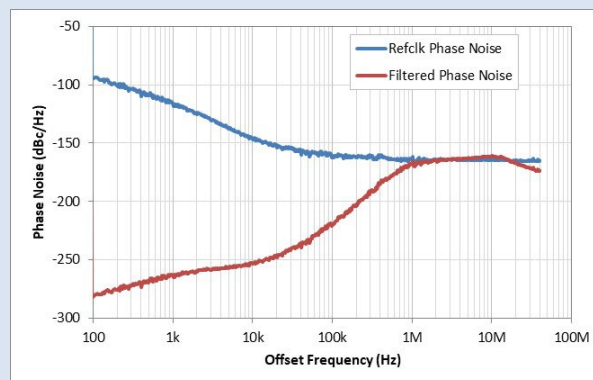
Architecture		PLL1 ω [Mrad/s]	PLL1 ζ	PLL2 ω [Mrad/s]	PLL2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]
Common Refclk Rx	Rj [RMS]	$11.83 \cdot 2\pi$	0.54	$0.807 \cdot 2\pi$	0.54	$1.5 \cdot 2\pi$	NA	10
	Dj [P-P]	—	—	—	—	—	—	—

Jitter [ps]		Pass/Fail
Result	Spec.	
0.075	4.7	Pass
0	41.9	Pass

Jitter Transfer Functions



Reference clock Phase Noise

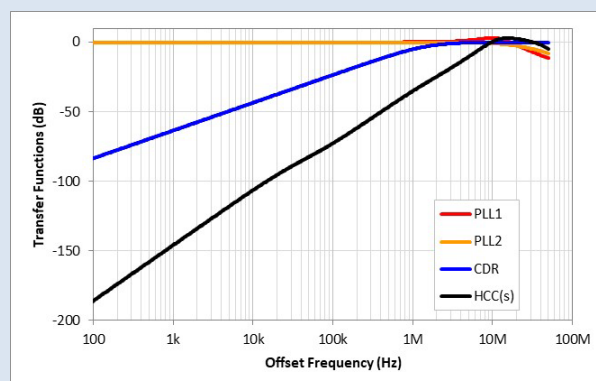


<Gen1 (written in Gen4 or later)>

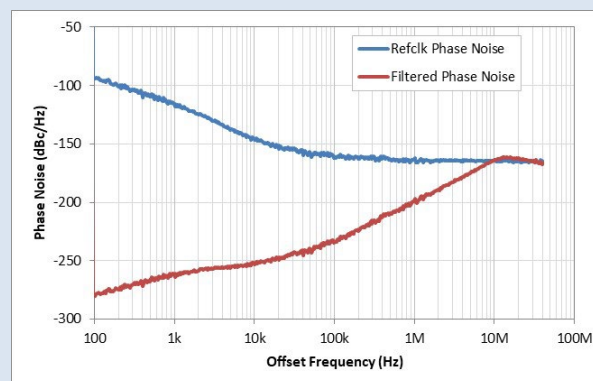
Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]
Common Refclk Rx	0.336	14	0.336	14	9.42	—	12
	4.93	14	0.336	14	9.42	—	12
	5.09	0.73	0.336	14	9.42	—	12
	74.68	0.73	0.336	14	9.42	—	12
	0.336	14	4.93	14	9.42	—	12
	4.93	14	4.93	14	9.42	—	12
	5.09	0.73	4.93	14	9.42	—	12
	74.68	0.73	4.93	14	9.42	—	12
	0.336	14	5.09	1.15	9.42	—	12
	4.93	14	5.09	1.15	9.42	—	12
	5.09	0.73	5.09	1.15	9.42	—	12
	74.68	0.73	5.09	1.15	9.42	—	12
	0.336	14	74.68	1.15	9.42	—	12
	4.93	14	74.68	1.15	9.42	—	12
	5.09	0.73	74.68	1.15	9.42	—	12
	74.68	0.73	74.68	1.15	9.42	—	12

Jitter [ps RMS]	Dj Result	Dj Spec.	Pass/Fail
		[ps p-p]	
0.008	0	86	Pass
0.057			
0.011			
0.068			
0.065			
0.079			
0.066			
0.089			
0.008			
0.060			
0.005			
0.072			
0.075			
0.068			
0.076			
0.077			

Jitter Transfer Functions



Reference clock Phase Noise



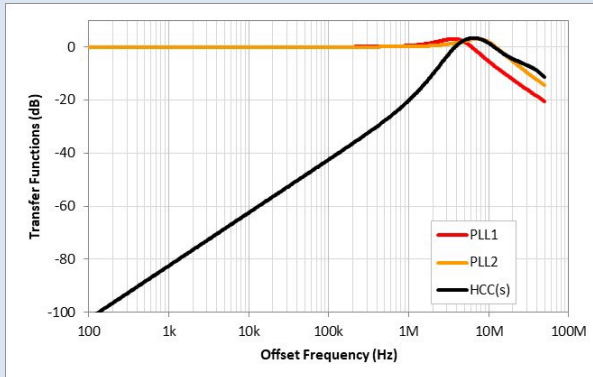


<Gen2 (Rev. 2.1)>

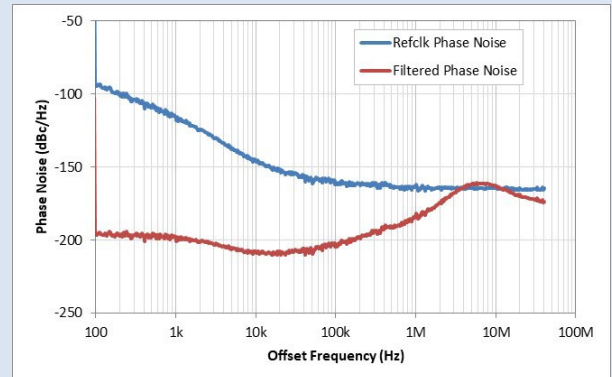
Architecture		PLL1 ω [Mrad/s]	PLL1 ζ	PLL2 ω [Mrad/s]	PLL2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]
Common Refclk Rx	1.5 MHz to Nyquist	$1.82 \cdot 2\pi$	1.16	$8.61 \cdot 2\pi$	0.54	—	—	12
		$4.31 \cdot 2\pi$	0.54	$8.61 \cdot 2\pi$	0.54	—	—	12
	10 kHz to 1.5 MHz	—	—	—	—	—	—	—
Data Clocked Rx	1.5 MHz to Nyquist	$8.61 \cdot 2\pi$	0.54	—	—	—	—	—
		$8.61 \cdot 2\pi$	1.75	—	—	—	—	—
	10 kHz to 1.5 MHz	—	—	—	—	—	—	—

Jitter [ps RMS]		Pass/Fail
Result	Spec.	
0.061	3.1	Pass
0.065		Pass
0.022	4.0	Pass
0.065		Pass
0.075		Pass
0.022	7.5	Pass

Jitter Transfer Functions



Reference clock Phase Noise



<Gen2 (written in Gen4 or later)>

Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]
Common Refclk Rx	1.12	14	1.79	14	31.42	—	12
	3.58	14	1.79	14	31.42	—	12
	11.01	1.16	1.79	14	31.42	—	12
	35.26	1.16	1.79	14	31.42	—	12
	1.79	14	1.79	14	31.42	—	12
	3.58	14	1.79	14	31.42	—	12
	28.86	0.54	1.79	14	31.42	—	12
	53.73	0.54	1.79	14	31.42	—	12
	1.12	14	3.58	14	31.42	—	12
	3.58	14	3.58	14	31.42	—	12
	11.01	1.16	3.58	14	31.42	—	12
	35.26	1.16	3.58	14	31.42	—	12
	1.79	14	3.58	14	31.42	—	12
	3.58	14	3.58	14	31.42	—	12
	28.86	0.54	3.58	14	31.42	—	12
	53.73	0.54	3.58	14	31.42	—	12
	1.12	14	28.86	0.54	31.42	—	12
	3.58	14	28.86	0.54	31.42	—	12
	11.01	1.16	28.86	0.54	31.42	—	12
	35.26	1.16	28.86	0.54	31.42	—	12
	1.79	14	28.86	0.54	31.42	—	12
	3.58	14	28.86	0.54	31.42	—	12
	28.86	0.54	28.86	0.54	31.42	—	12
	53.73	0.54	28.86	0.54	31.42	—	12
	1.12	14	53.73	0.54	31.42	—	12
	3.58	14	53.73	0.54	31.42	—	12
	11.01	1.16	53.73	0.54	31.42	—	12
	35.26	1.16	53.73	0.54	31.42	—	12
	1.79	14	53.73	0.54	31.42	—	12
	3.58	14	53.73	0.54	31.42	—	12
	28.86	0.54	53.73	0.54	31.42	—	12
	53.73	0.54	53.73	0.54	31.42	—	12

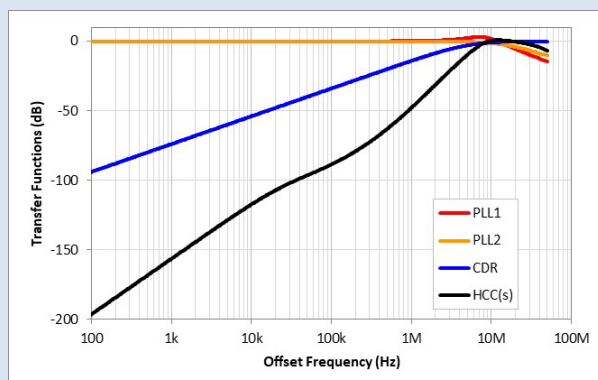
Jitter [ps RMS]		Pass/Fail
Result	Spec.	
0.034	3.1	Pass
0.045		Pass
0.035		Pass
0.046		Pass
0.037		Pass
0.045		Pass
0.041		Pass
0.051		Pass
0.055		Pass
0.063		Pass
0.055		Pass
0.064		Pass
0.057		Pass
0.063		Pass
0.061		Pass
0.069		Pass
0.025		Pass
0.039		Pass
0.026		Pass
0.037		Pass
0.027		Pass
0.039		Pass
0.027		Pass
0.041		Pass
0.050		Pass
0.048		Pass
0.052		Pass
0.049		Pass
0.048		Pass
0.048		Pass
0.056		Pass
0.053		Pass



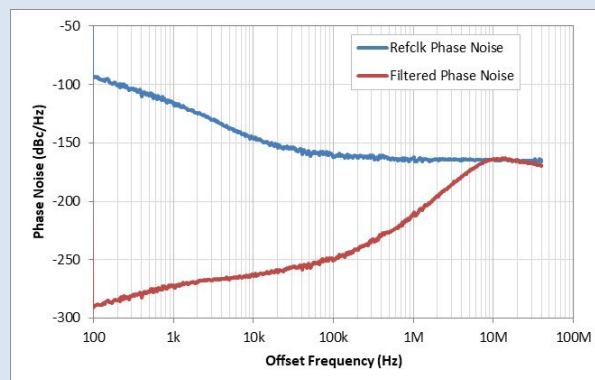
<Gen2 (written in Gen4 or later)> (続き)

Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]	Jitter [ps RMS]		Pass/Fail
								Result	Spec.	
Common Refclk Rx	1.12	14	1.12	14	31.42	—	12	0.024	3.1	Pass
	3.58	14	1.12	14	31.42	—	12	0.041		Pass
	11.01	1.16	1.12	14	31.42	—	12	0.024		Pass
	35.26	1.16	1.12	14	31.42	—	12	0.041		Pass
	1.79	14	1.12	14	31.42	—	12	0.029		Pass
	3.58	14	1.12	14	31.42	—	12	0.041		Pass
	28.86	0.54	1.12	14	31.42	—	12	0.031		Pass
	53.73	0.54	1.12	14	31.42	—	12	0.046		Pass
	1.12	14	3.58	14	31.42	—	12	0.055		Pass
	3.58	14	3.58	14	31.42	—	12	0.063		Pass
	11.01	1.16	3.58	14	31.42	—	12	0.055		Pass
	35.26	1.16	3.58	14	31.42	—	12	0.064		Pass
	1.79	14	3.58	14	31.42	—	12	0.057		Pass
	3.58	14	3.58	14	31.42	—	12	0.063		Pass
	28.86	0.54	3.58	14	31.42	—	12	0.061		Pass
	53.73	0.54	3.58	14	31.42	—	12	0.069		Pass
	1.12	14	11.01	1.16	31.42	—	12	0.021		Pass
	3.58	14	11.01	1.16	31.42	—	12	0.041		Pass
	11.01	1.16	11.01	1.16	31.42	—	12	0.020		Pass
	35.26	1.16	11.01	1.16	31.42	—	12	0.040		Pass
	1.79	14	11.01	1.16	31.42	—	12	0.027		Pass
	3.58	14	11.01	1.16	31.42	—	12	0.041		Pass
	28.86	0.54	11.01	1.16	31.42	—	12	0.028		Pass
	53.73	0.54	11.01	1.16	31.42	—	12	0.045		Pass
	1.12	14	35.26	1.16	31.42	—	12	0.051		Pass
	3.58	14	35.26	1.16	31.42	—	12	0.056		Pass
	11.01	1.16	35.26	1.16	31.42	—	12	0.052		Pass
	35.26	1.16	35.26	1.16	31.42	—	12	0.057		Pass
	1.79	14	35.26	1.16	31.42	—	12	0.052		Pass
	3.58	14	35.26	1.16	31.42	—	12	0.056		Pass
	28.86	0.54	35.26	1.16	31.42	—	12	0.057		Pass
	53.73	0.54	35.26	1.16	31.42	—	12	0.063		Pass

Jitter Transfer Functions



Reference clock Phase Noise





<Gen3 (Rev. 3.1a) & Gen4 (Rev. 4.0)>

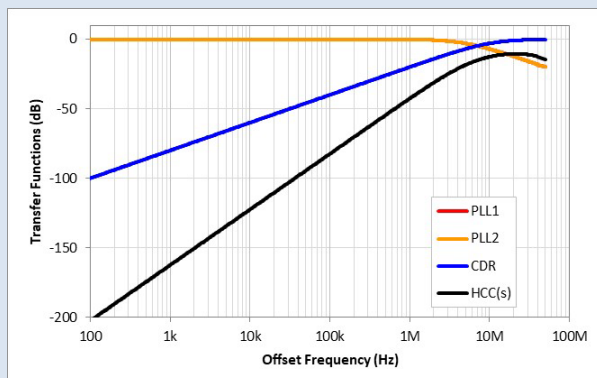
Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]	Jitter [ps RMS]		Pass/Fail
								Result	Spec.	
Common Refclk Rx	0.448	14	0.448	14	62.83	—	12	0.009	Gen3 : 1.0 Gen4 : 0.5	Pass
	0.896	14	0.448	14	62.83	—	12	0.014		Pass
	6.02	0.73	0.448	14	62.83	—	12	0.009		Pass
	12.04	0.73	0.448	14	62.83	—	12	0.012		Pass
	0.448	14	0.448	14	62.83	—	12	0.009		Pass
	1.12	14	0.448	14	62.83	—	12	0.017		Pass
	4.62	1.15	0.448	14	62.83	—	12	0.009		Pass
	11.53	1.15	0.448	14	62.83	—	12	0.015		Pass
	0.448	14	1.12	14	62.83	—	12	0.019		Pass
	0.896	14	1.12	14	62.83	—	12	0.021		Pass
	6.02	0.73	1.12	14	62.83	—	12	0.019		Pass
	12.04	0.73	1.12	14	62.83	—	12	0.021		Pass
	0.448	14	1.12	14	62.83	—	12	0.019		Pass
	1.12	14	1.12	14	62.83	—	12	0.022		Pass
	4.62	1.15	1.12	14	62.83	—	12	0.019		Pass
	11.53	1.15	1.12	14	62.83	—	12	0.022		Pass
	0.448	14	4.62	1.15	62.83	—	12	0.008		Pass
	0.896	14	4.62	1.15	62.83	—	12	0.014		Pass
	6.02	0.73	4.62	1.15	62.83	—	12	0.007		Pass
	12.04	0.73	4.62	1.15	62.83	—	12	0.011		Pass
	0.448	14	4.62	1.15	62.83	—	12	0.008		Pass
	1.12	14	4.62	1.15	62.83	—	12	0.017		Pass
	4.62	1.15	4.62	1.15	62.83	—	12	0.008		Pass
	11.53	1.15	4.62	1.15	62.83	—	12	0.015		Pass
	0.448	14	11.53	1.15	62.83	—	12	0.017		Pass
	0.896	14	11.53	1.15	62.83	—	12	0.018		Pass
	6.02	0.73	11.53	1.15	62.83	—	12	0.017		Pass
	12.04	0.73	11.53	1.15	62.83	—	12	0.018		Pass
	0.448	14	11.53	1.15	62.83	—	12	0.017		Pass
	1.12	14	11.53	1.15	62.83	—	12	0.020		Pass
	4.62	0.73	11.53	1.15	62.83	—	12	0.017		Pass
	11.53	0.73	11.53	1.15	62.83	—	12	0.018		Pass
	0.448	14	0.448	14	62.83	—	12	0.009		Pass
	0.896	14	0.448	14	62.83	—	12	0.014		Pass
	6.02	0.73	0.448	14	62.83	—	12	0.009		Pass
	12.04	0.73	0.448	14	62.83	—	12	0.012		Pass
	0.448	14	0.448	14	62.83	—	12	0.009		Pass
	1.12	14	0.448	14	62.83	—	12	0.017		Pass
	4.62	0.73	0.448	14	62.83	—	12	0.008		Pass
	11.53	0.73	0.448	14	62.83	—	12	0.012		Pass
	0.448	14	0.896	14	62.83	—	12	0.016		Pass
	0.896	14	0.896	14	62.83	—	12	0.018		Pass
	6.02	0.73	0.896	14	62.83	—	12	0.016		Pass
	12.04	0.73	0.896	14	62.83	—	12	0.017		Pass
	0.448	14	0.896	14	62.83	—	12	0.016		Pass
	1.12	14	0.896	14	62.83	—	12	0.020		Pass
	4.62	0.73	0.896	14	62.83	—	12	0.016		Pass
	11.53	0.73	0.896	14	62.83	—	12	0.017		Pass
	0.448	14	6.02	0.73	62.83	—	12	0.008		Pass
	0.896	14	6.02	0.73	62.83	—	12	0.014		Pass
	6.02	0.73	6.02	0.73	62.83	—	12	0.006		Pass
	12.04	0.73	6.02	0.73	62.83	—	12	0.011		Pass
	0.448	14	6.02	0.73	62.83	—	12	0.008		Pass
	1.12	14	6.02	0.73	62.83	—	12	0.017		Pass
	4.62	0.73	6.02	0.73	62.83	—	12	0.006		Pass
	11.53	0.73	6.02	0.73	62.83	—	12	0.010		Pass



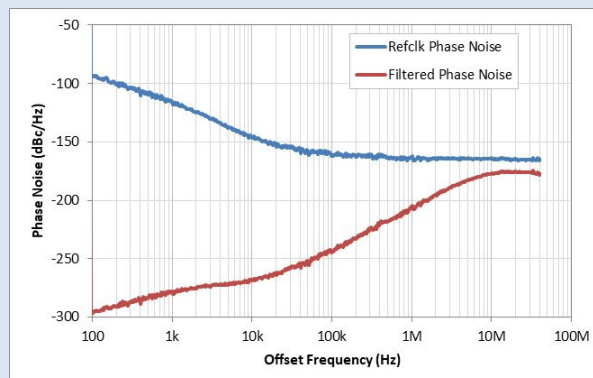
<Gen3 (Rev. 3.1a) & Gen4 (Rev. 4.0)> (続き)

Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]	Jitter [ps RMS]		Pass/Fail
								Result	Spec.	
Common Refclk Rx	0.896	14	12.04	0.73	62.83	—	12	0.012	Gen3 : 1.0	Pass
	6.02	14	12.04	0.73	62.83	—	12	0.014		Pass
	12.04	0.73	12.04	0.73	62.83	—	12	0.012		Pass
	0.448	0.73	12.04	0.73	62.83	—	12	0.013		Pass
	1.12	14	12.04	0.73	62.83	—	12	0.012	Gen4 : 0.5	Pass
	4.62	14	12.04	0.73	62.83	—	12	0.017		Pass
	11.53	0.73	12.04	0.73	62.83	—	12	0.012		Pass
	0.896	0.73	12.04	0.73	62.83	—	12	0.013		Pass

Jitter Transfer Functions



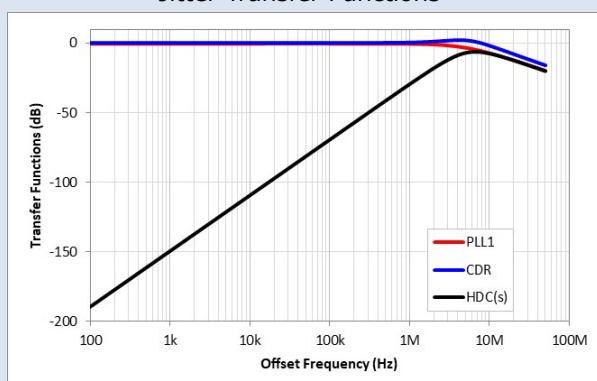
Reference clock Phase Noise



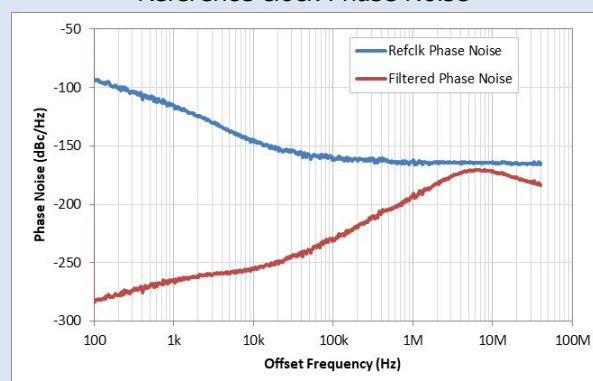
<Gen3 (Rev. 3.1a)>

Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]	Jitter [ps RMS]		Pass/Fail
								Result	Spec.	
Data Clocked Rx	0.448	14	—	—	16.57	1.75	—	0.017	1.0	Pass
	0.896	14	—	—	16.57	1.75	—	0.032		Pass
	1.12	14	—	—	16.57	1.75	—	0.038		Pass
	4.62	1.15	—	—	16.57	1.75	—	0.015		Pass
	11.53	1.15	—	—	16.57	1.75	—	0.035		Pass
	6.02	0.73	—	—	16.57	1.75	—	0.013		Pass
	12.04	0.73	—	—	16.57	1.75	—	0.026		Pass
	0.448	14	—	—	33.8	0.73	—	0.020		Pass
	0.896	14	—	—	33.8	0.73	—	0.036		Pass
	1.12	14	—	—	33.8	0.73	—	0.043		Pass
	4.62	1.15	—	—	33.8	0.73	—	0.017		Pass
	11.53	1.15	—	—	33.8	0.73	—	0.040		Pass
	6.02	0.73	—	—	33.8	0.73	—	0.015		Pass
	12.04	0.73	—	—	33.8	0.73	—	0.029		Pass

Jitter Transfer Functions



Reference clock Phase Noise

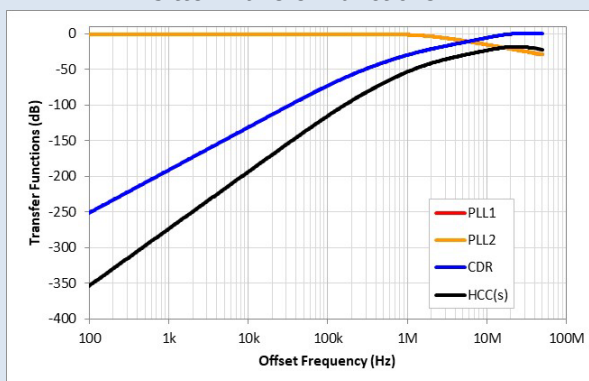




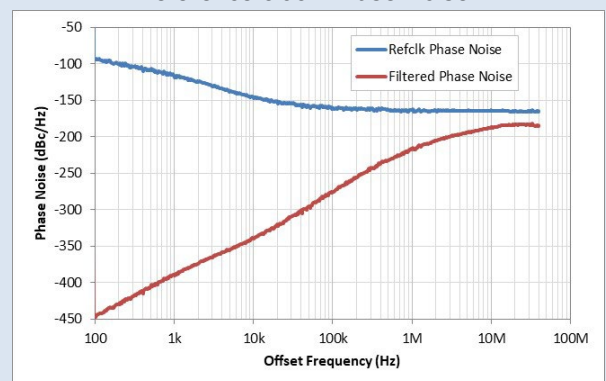
<Gen5 (Rev. 5.0)>

Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]	Jitter [ps RMS]		Pass/Fail
								Result	Spec.	
Common Refclk Rx	0.112	14	0.112	14	$\omega_0 = 20 \times 2\pi$ $\omega_1 = 1.1 \times 2\pi$ $\omega_{LF} = 0.16 \times 2\pi$	$\zeta_a = 1/\sqrt{2}$ $\zeta_b = 1$	12	0.002	0.15	Pass
	0.403	14	0.112	14			12	0.007		Pass
	1.50	0.73	0.112	14			12	0.002		Pass
	5.42	0.73	0.112	14			12	0.005		Pass
	0.112	14	0.403	14			12	0.007		Pass
	0.403	14	0.403	14			12	0.009		Pass
	1.50	0.73	0.403	14			12	0.007		Pass
	5.42	0.73	0.403	14			12	0.008		Pass
	0.112	14	1.50	0.73			12	0.002		Pass
	0.403	14	1.50	0.73			12	0.006		Pass
	1.50	0.73	1.50	0.73			12	0.002		Pass
	5.42	0.73	1.50	0.73			12	0.005		Pass
	0.112	14	5.42	0.73			12	0.005		Pass
	0.403	14	5.42	0.73			12	0.007		Pass
	1.50	0.73	5.42	0.73			12	0.005		Pass
	5.42	0.73	5.42	0.73			12	0.006		Pass

Jitter Transfer Functions



Reference clock Phase Noise

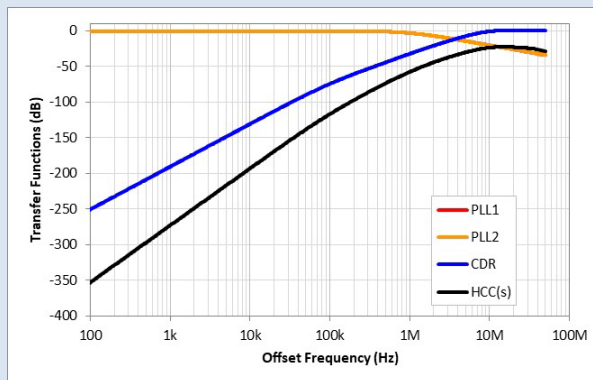




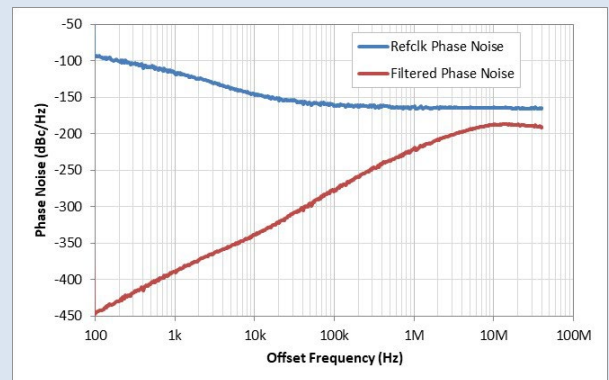
<Gen6 (Rev. 6.0.1)>

Architecture	PLL #1 ω [Mrad/s]	PLL #1 ζ	PLL #2 ω [Mrad/s]	PLL #2 ζ	CDR ω [Mrad/s]	CDR ζ	Delay [ns Max.]	Jitter [ps RMS]		Pass/Fail
								Result	Spec.	
Common Refclk Rx	0.112	14	0.112	14	$\omega_0 = 10 \times 2\pi$ $\omega_1 = 3.88 \times 2\pi$ $\omega_{LF} = 0.087 \times 2\pi$	$\zeta_a = 1/\sqrt{2}$ $\zeta_b = 1$	12	0.0027	0.15	Pass
	0.224	14	0.112	14			12	0.0044		Pass
	1.50	0.73	0.112	14			12	0.0024		Pass
	3.00	0.73	0.112	14			12	0.0033		Pass
	0.112	14	0.224	14			12	0.0046		Pass
	0.224	14	0.224	14			12	0.0053		Pass
	1.50	0.73	0.224	14			12	0.0046		Pass
	3.00	0.73	0.224	14			12	0.0048		Pass
	0.112	14	1.50	0.73			12	0.0023		Pass
	0.224	14	1.50	0.73			12	0.0044		Pass
	1.50	0.73	1.50	0.73			12	0.0019		Pass
	3.00	0.73	1.50	0.73			12	0.0031		Pass
	0.112	14	3.00	0.73			12	0.0033		Pass
	0.224	14	3.00	0.73			12	0.0045		Pass
	1.50	0.73	3.00	0.73			12	0.0032		Pass
	3.00	0.73	3.00	0.73			12	0.0037		Pass

Jitter Transfer Functions



Reference clock Phase Noise





【ジッタ伝達関数の帯域幅・ピーキングについて】

PLL や CDR のジッタ伝達関数は、固有角周波数 ω 、ダンピングファクタ ζ にて表されるが、これらのパラメータでは、ジッタ伝達関数の持つフィルタ特性が把握しにくい。そこで、 ω 及び ζ に対する帯域幅(3dB 減衰時の周波数)およびピーキングの対応表を示す。(黄色部分の固有角周波数が、PCIe 仕様のジッタ伝達関数において使用されている)

		Damping factor ζ						
		14	1.75	1.15	0.73	0.54		
Natural angle frequency ω [Mrad/s]		0.018 $\cdot 2\pi$	0.132 $\cdot 2\pi$	0.184 $\cdot 2\pi$	0.239 $\cdot 2\pi$	0.269 $\cdot 2\pi$	→	0.5 MHz
		0.054 $\cdot 2\pi$	0.396 $\cdot 2\pi$	0.550 $\cdot 2\pi$	0.718 $\cdot 2\pi$	0.807 $\cdot 2\pi$	→	1.5 MHz
		0.064 $\cdot 2\pi$	0.475 $\cdot 2\pi$	0.660 $\cdot 2\pi$	0.863 $\cdot 2\pi$	0.968 $\cdot 2\pi$	→	1.8 MHz
		0.071 $\cdot 2\pi$	0.529 $\cdot 2\pi$	0.734 $\cdot 2\pi$	0.958 $\cdot 2\pi$	1.08 $\cdot 2\pi$	→	2 MHz
		0.143 $\cdot 2\pi$	1.06 $\cdot 2\pi$	1.47 $\cdot 2\pi$	1.92 $\cdot 2\pi$	2.15 $\cdot 2\pi$	→	4 MHz
		0.178 $\cdot 2\pi$	1.32 $\cdot 2\pi$	1.84 $\cdot 2\pi$	2.39 $\cdot 2\pi$	2.69 $\cdot 2\pi$	→	5 MHz
		0.285 $\cdot 2\pi$	2.11 $\cdot 2\pi$	2.94 $\cdot 2\pi$	3.83 $\cdot 2\pi$	4.31 $\cdot 2\pi$	→	8 MHz
		0.357 $\cdot 2\pi$	2.64 $\cdot 2\pi$	3.67 $\cdot 2\pi$	4.79 $\cdot 2\pi$	5.38 $\cdot 2\pi$	→	10 MHz
		0.571 $\cdot 2\pi$	4.23 $\cdot 2\pi$	5.87 $\cdot 2\pi$	7.66 $\cdot 2\pi$	8.61 $\cdot 2\pi$	→	16 MHz
		0.785 $\cdot 2\pi$	5.81 $\cdot 2\pi$	8.07 $\cdot 2\pi$	10.54 $\cdot 2\pi$	11.83 $\cdot 2\pi$	→	22 MHz
		1.16 $\cdot 2\pi$	8.61 $\cdot 2\pi$	12.0 $\cdot 2\pi$	15.6 $\cdot 2\pi$	17.5 $\cdot 2\pi$	→	32.6 MHz
		↓	↓	↓	↓	↓		
		0.01 dB	0.5 dB	1 dB	2 dB	3 dB		
		Peaking						

なお、固有角周波数 ω 、ダンピングファクタ ζ および 帯域幅 BW の関係は、下記の通り。

$$\omega_{3dB} = \omega \sqrt{1 + 2\zeta^2 + \sqrt{(1 + 2\zeta^2)^2 + 1}} \quad (\text{PCIe Base Specification Rev 3.1a Equation 4.3.5 より})$$

$$BW = \frac{\omega_{3dB}}{2\pi}$$

すなわち、BW は下記の式で算出できる。

$$BW = \frac{\omega}{2\pi} \sqrt{1 + 2\zeta^2 + \sqrt{(1 + 2\zeta^2)^2 + 1}}$$

【参考文献】

- PCI Express Card Electromechanical Specification Revision 1.1
- PCI Express Jitter and BER Revision 1.0
- PCI Express Base Specification Revision 2.1
- PCI Express Base Specification Revision 3.1a
- PCI Express Base Specification Revision 4.0
- PCI Express Base Specification Revision 5.0
- PCI Express Base Specification Revision 6.0.1